

# HY220

## Εργαστήριο Ψηφιακών Κυκλωμάτων

**Χειμερινό Εξάμηνο  
2020**

**Εισαγωγή**

# Σχετικά με το μαθήμα (1/2)

- Μάθημα Επιλογής 2<sup>ου</sup> έτους και πάνω του τομέα Ε4 (Υλικό)
  - 6 ECTS
  - **Προαπαιτούμενο:** ΗΥ120 Ψηφιακή Σχεδίαση
- **Διαλέξεις:**
  - Δευτέρα 12:00 – 14:00 (Α.125)
  - Πέμπτη 18:00 – 20:00 (Α.125)
- **Διδάσκοντες:**
  - Βασίλης Παπαευσταθίου ([papaef@ics.forth.gr](mailto:papaef@ics.forth.gr))
  - Μανόλης Κατεβαίνης ([kateveni@ics.forth.gr](mailto:kateveni@ics.forth.gr))
- **Βοηθοί:**
  - Ιάσοντας Μαστοράκης ([imast@csd.uoc.gr](mailto:imast@csd.uoc.gr))
  - Σωτήρης Τοτόμης ([sototo@csd.uoc.gr](mailto:sototo@csd.uoc.gr))

# Σχετικά με το μαθήμα (2/2)

- **Website:**

<http://www.csd.uoc.gr/~hy220>

- **Mailing-list:**

[hy220-list@csd.uoc.gr](mailto:hy220-list@csd.uoc.gr)

e-mail to: [majordomo@csd.uoc.gr](mailto:majordomo@csd.uoc.gr)

subject: (κενό)

body: subscribe hy220-list

# Βαθμολόγηση

- Εργαστηριακές Ασκήσεις: **60%**
  - Υποχρεωτική παρουσία στο εργαστήριο
  - Βαθμός  $> 4.5$
- Πρόοδος: **15%** (υποχρεωτική)
- Τελική Εξέταση: **25%** (βαθμός  $> 4.5$ )

# Σκοπός Μαθήματος

- Εισαγωγικό μάθημα σχεδίασης hardware
- Βασικές γνώσεις πάνω σε hardware (HW) και τον τρόπο σχεδίασης
- Υλοποίηση **πραγματικών** κυκλωμάτων στο εργαστήριο
- Απευθύνεται σε φοιτητές:
  - που θέλουν να μάθουν HW και να αποκτήσουν εμπειρία σε βασική σχεδίαση
  - που θέλουν να γίνουν μηχανικοί υπολογιστών και να σχεδιάζουν ολοκληρωμένα κυκλώματα.

# Πρόγραμμα Διαλέξεων (1/2)

- Η γλώσσα Verilog (~3 Εβδ.)
  - Εισαγωγή στις βασικές έννοιες
  - Μοντελοποίηση HW με Verilog
  - Παραδείγματα
- Μηχανές πεπερασμένων καταστάσεων και προχωρημένη λογική σχεδίαση (~1 Εβδ.)
- Ακουλουθιακή Λογική (~2 Εβδ.)
  - Registers, Latches, Pipelining

# Πρόγραμμα Διαλέξεων (2/2)

- Ροή σχεδίασης, εργαλεία CAD και Λογική Σύνθεση (~1 Εβδ.)
- Η τεχνολογία των FPGAs (~1 Εβδ.)
- Μνήμες (~2 Εβδ.)
  - SRAM, DRAM, SDRAM, DDR etc
- Busses (~2 Εβδ.)
  - Πρωτόκολλα, Διαιτησία
- Clocks (~1 Εβδ.)
  - Ρολόγια, καθυστερήσεις και δίκτυα διανομής
  - Συγχρονισμός, Μεταστάθεια

# Η πλακέτα του εργαστηρίου - Zedboard

- **FPGA:** Xilinx Zynq-7000 All Programmable SoC XC7Z020-CLG484-1
- **Μνήμη:** 256/512 MB DDR3
- Πολλά περιφερειακά
- GPIO για επεκτάσεις Pmod
  - E.g 7-segment display, VGA

