

HY220

Εργαστήριο Ψηφιακών Κυκλωμάτων

**Χειμερινό Εξάμηνο
2018-2019**

**Λογικές Πύλες, Στοιχεία Μνήμης,
Συνδυαστική Λογική και Κυματομορφές**

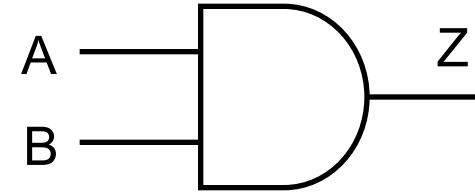
Τα βασικά της Ψηφιακής Σχεδίασης

- Λογικές Πύλες
 - AND, OR, NOT, NAND, NOR, XOR, XNOR
- Στοιχεία μνήμης
 - Μανταλωτής RS, Μανταλωτής D,
 - Ακμοπυροδότητο D Flip-Flop
- Συνδυαστική Λογική
- Απλή Λογική με Ρολόι
- Κυματομορφές

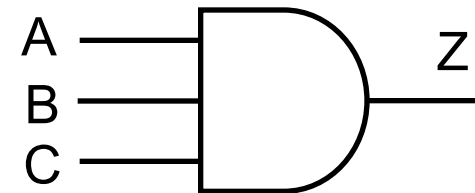
Πύλη ΚΑΙ (AND)

- Πύλη ΚΑΙ (AND)
 - $Z = AB$ ή $Z = A \cdot B$
- Πίνακας Αληθείας (Truth Table)

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1



Πύλη AND 2 εισόδων

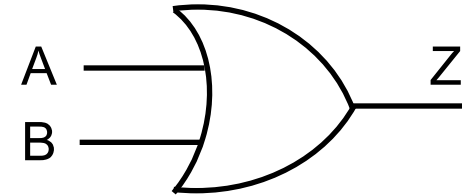


Πύλη AND 3 εισόδων

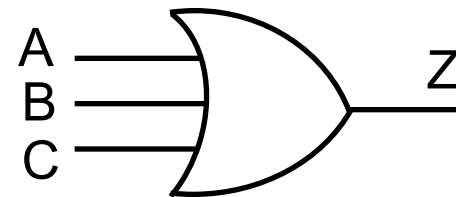
Πύλη Ή (OR)

- Πύλη Ή (OR)
 - $Z = A+B$
- Πίνακας Αληθείας

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1



Πύλη OR 2 εισόδων

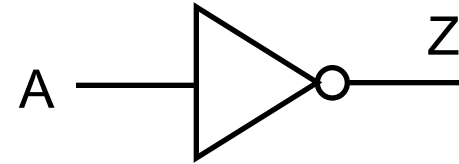


Πύλη OR 3 εισόδων

Πύλη ΟΧΙ (NOT)

- Πύλη ΟΧΙ (NOT) ή Αντιστροφέας (Inverter)
- $Z = A'$
- Πίνακας Αληθείας

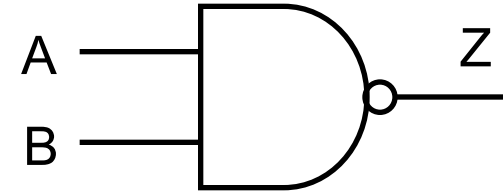
A	Z
0	1
1	0



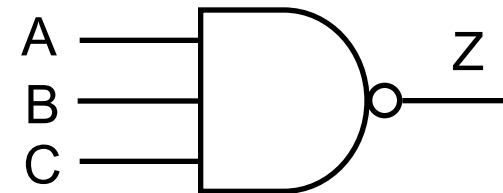
Πύλη ΟΧΙ-ΚΑΙ (NAND)

- Πύλη ΟΧΙ-ΚΑΙ (NAND)
 - $Z = (AB)'$
- Πίνακας Αληθείας

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0



Πύλη NAND 2 εισόδων

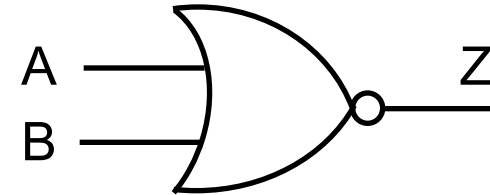


Πύλη NAND 3 εισόδων

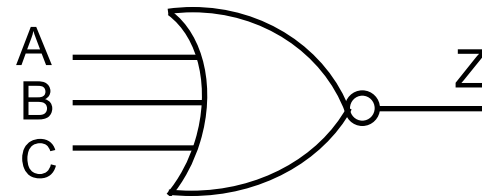
Πύλη ΟΥΤΕ (NOR)

- Πύλη ΟΥΤΕ (NOR)
 - $Z = (A+B)'$
- Πίνακας Αληθείας

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0



Πύλη NOR 2 εισόδων

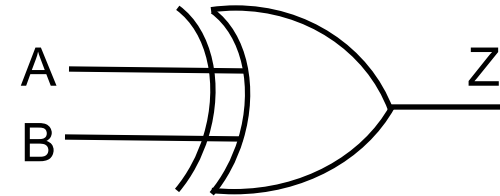


Πύλη NOR 3 εισόδων

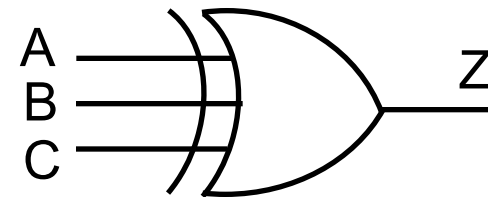
Πύλη Αποκλειστικού-Ή (XOR)

- Πύλη Αποκλειστικού-Ή (XOR – Exclusive OR)
 - $Z = A \oplus B = AB' + A'B$
- Πίνακας Αληθείας

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0



Πύλη XOR 2 εισόδων

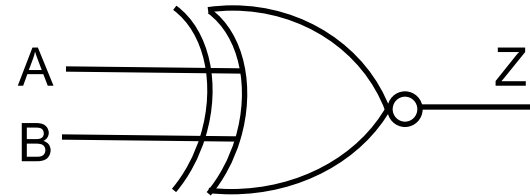


Πύλη XOR 3 εισόδων

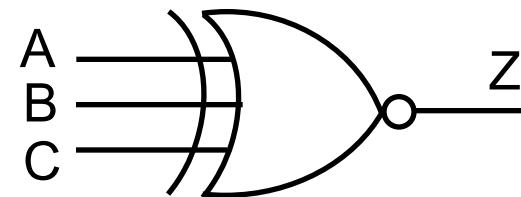
Πύλη Αποκλειστικού-ΟΥΤΕ (XNOR)

- Πύλη Αποκλειστικού-ΟΥΤΕ (XNOR – Exclusive NOR) ή Πύλη Ισότητας
– $Z = A \odot B = AB + A'B'$
- Πίνακας Αληθείας

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	1



Πύλη XNOR 2 εισόδων

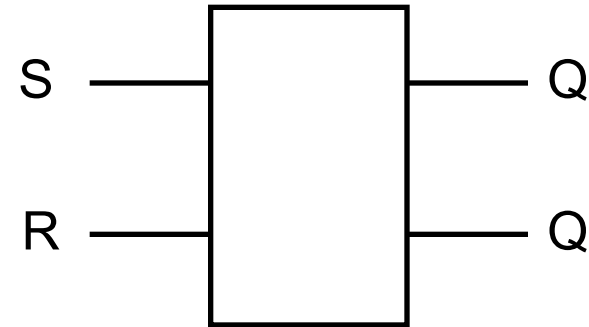


Πύλη XNOR 3 εισόδων

Μανταλωτής RS (RS Latch)

- Στοιχείο μνήμης (Flip-Flop) – Latch
- Set and Reset inputs
- Πίνακας Αληθείας

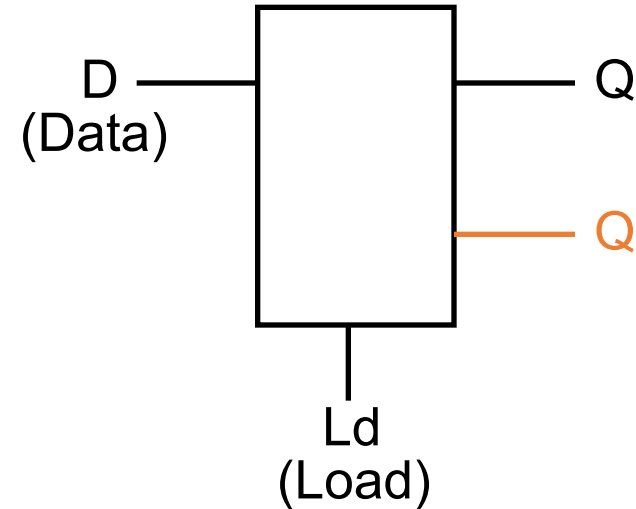
S	R	Q	Q'
0	1	0	1
1	0	1	0
0	0	Q_{t-1}	Q'_{t-1}
1	1	?	?



Μανταλωτής D (D Latch)

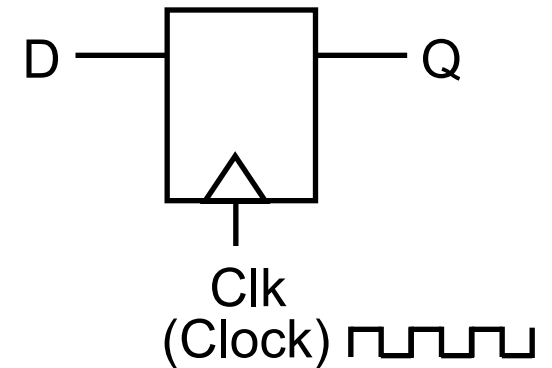
- Στοιχείο μνήμης (Flip-Flop) – Latch
- Data and Load inputs
- Πίνακας Αληθείας

D	Ld	Q	Q'
0	0	Q_{t-1}	Q'_{t-1}
0	1	0	1
1	0	Q_{t-1}	Q'_{t-1}
1	1	1	0



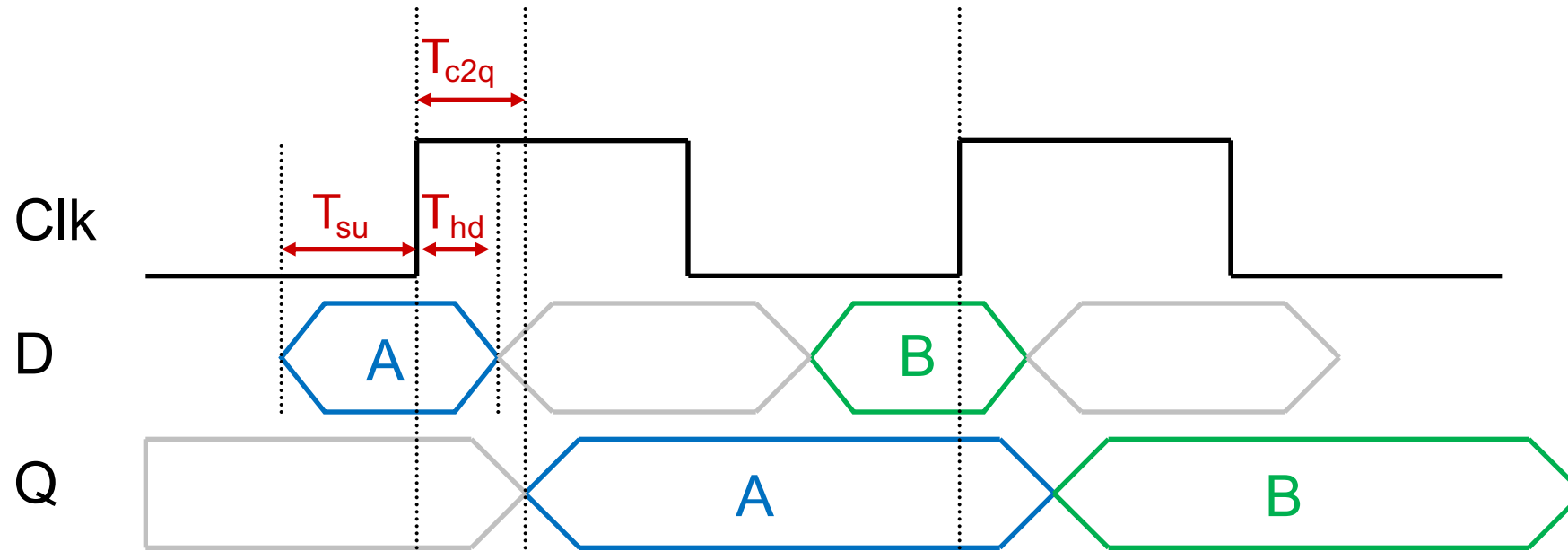
Ακμοπυροδότητο D Flip-Flop

- Στοιχείο μνήμης (Flip Flop) – D Flip Flop
 - Master – Slave Latches Εσωτερικά
 - Ακμοπυροδότητο (edge-triggered)
 - Το πιο ευρέως χρησιμοποιούμενο
- Data and Clock inputs
- Αποθηκεύει την τιμή του D μόνο κατά την ακμή του ρολογιού (συνήθως τη θετική)
- $Q_{t+1} = D_t$
- Απαιτεί χρόνο αποκατάστασης (Setup) και συγκράτησης (Hold) των δεδομένων εισόδου



Η λέξη Flip-Flop είναι ταυτισμένη με το ακμοπυροδότητο D Flip-Flop

Περιορισμοί Setup και Hold



- Η είσοδος D πρέπει να μείνει σταθερή τουλάχιστον για χρόνο T_{su} (setup time) πριν την ακμή του ρολογιού και τουλάχιστον T_{hd} (hold time) μετά την ακμή.
- Η έξοδος Q αλλάζει λίγο μετά την ακμή του ρολογιού (T_{c2q})
- Αναλυτικότερα για το D Flip-Flop σε επόμενες διαλέξεις

Συνδυαστική Λογική (Combinational Logic)

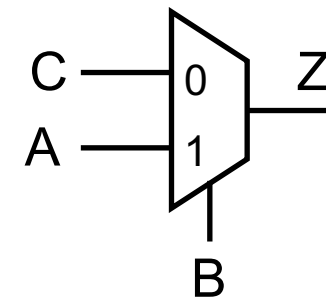
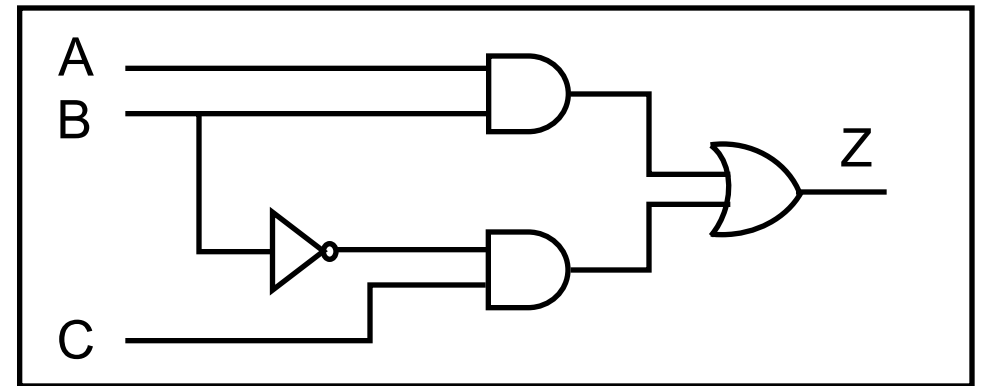
- Οι έξοδοι εξαρτώνται μόνο από τις τρέχουσες εισόδους
- Δεν περιέχουν στοιχεία μνήμης (flip-flops)
- Χρησιμοποιούνται κυρίως οι βασικές λογικές πύλες που είδαμε (AND, OR, NOT, NAND, XOR κτλ) και συνδέονται μεταξύ τους με καλώδια.
- Οι πύλες και τα καλώδια έχουν χρονική καθυστέρηση
 - Στην τεχνολογία CMOS τα υλικά και τα καλώδια έχουν αντιστάσεις και χωρητικότητες

Παράδειγμα Συνδυαστικής Λογικής

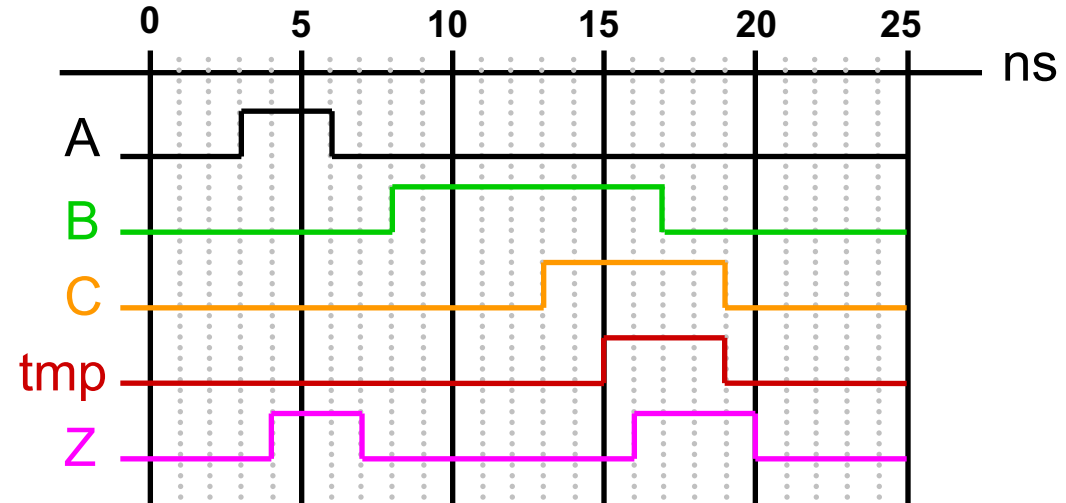
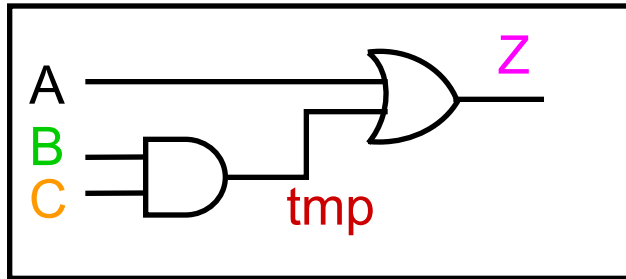
- 2 πύλες AND, 1 OR και 1 αντιστροφέας
– $Z = AB + B'C$

- Σας θυμίζει τίποτα ?

- Ένας απλός πολυπλέκτης 2 σε 1

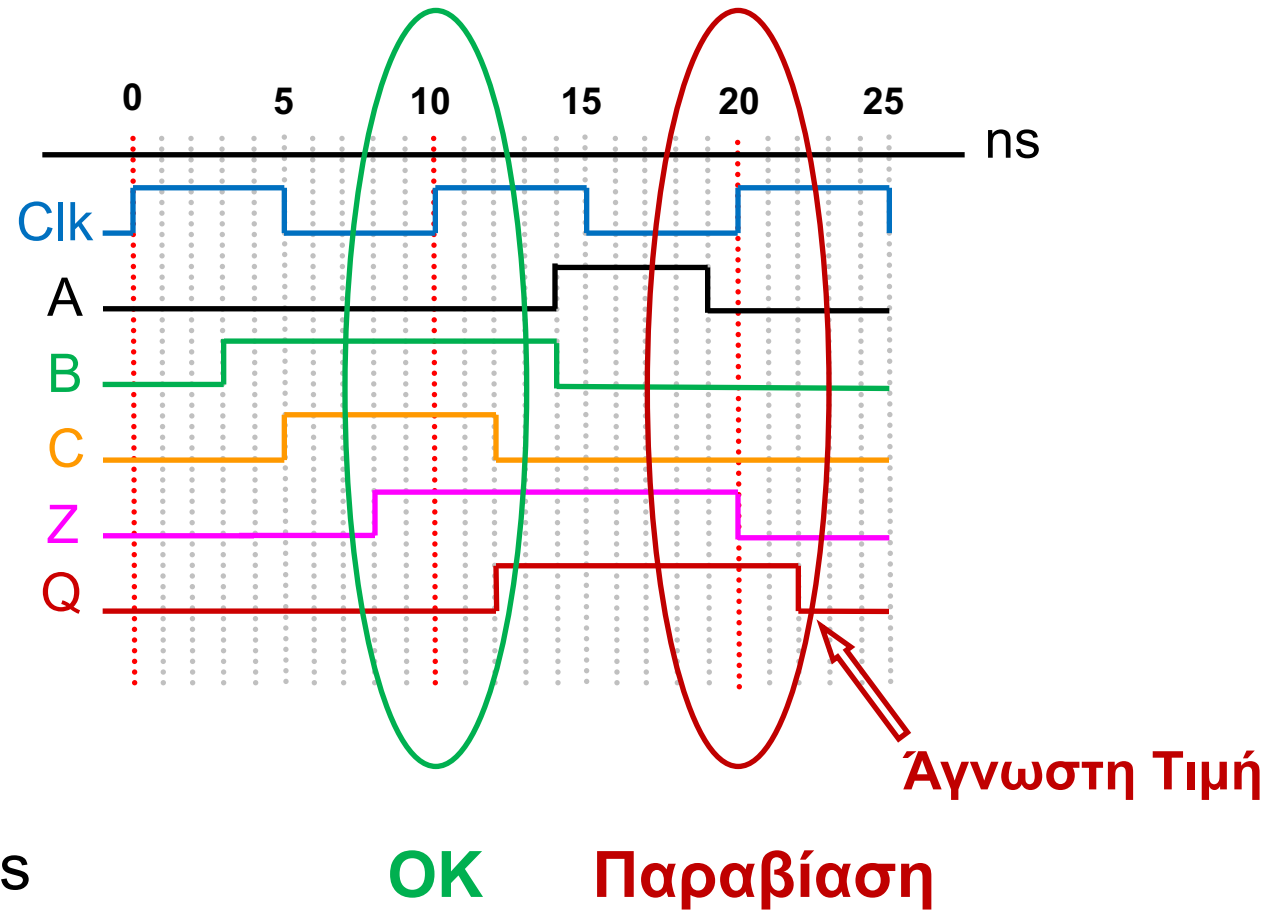
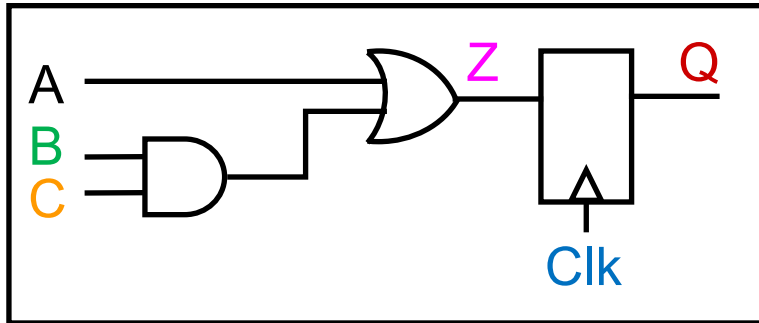


Οι πύλες έχουν καθυστέρηση !!!



- Έστω καθυστερήσεις: $T_{\text{and}} = 2\text{ns}$ και $T_{\text{or}} = 1\text{ns}$
 - έστω ότι τα καλώδια δεν έχουν καθυστέρηση
- 3 μονοπάτια (paths) προς την έξοδο:
 - $A \rightarrow Z$, (1 ns)
 - $B \rightarrow \text{tmp} \rightarrow Z$ (3 ns)
 - $C \rightarrow \text{tmp} \rightarrow Z$ (3 ns)
- Η συμπεριφορά του κυκλώματος φαίνεται στις κυματομορφές (waveforms)

Απλή Λογική με ρολόι



- $T_{clk} = 10 \text{ ns}$
- $T_{and} = 2 \text{ ns}$, $T_{or} = 1 \text{ ns}$
- $T_{c2q} = 2 \text{ ns}$, $T_{su} = 1 \text{ ns}$, $T_{hd} = 0.5 \text{ ns}$
- **Ικανοποιούνται οι περιορισμοί Setup και Hold του Flip-Flop ?**