

HY220: Εργαστήριο Ψηφιακών Κυκλωμάτων

Τμήμα Επιστήμης Υπολογιστών, Πανεπιστήμιο Κρήτης
Χειμερινό Εξάμηνο 2015

Εργαστήριο 1: Υλοποίηση Ελεγκτή Οθόνης 7 τμημάτων

19 Οκτωβρίου έως 6 Νοεμβρίου 2015 (3 εβδομάδες)

1.1 Σκοπός της Εργαστηριακής Άσκησης

Σε αυτήν την Άσκηση θα επιχειρήσουμε να δημιουργήσουμε κύκλωμα που να υλοποιεί ένα ελεγκτή για την οθόνη 7 τμημάτων που βρίσκεται πάνω στην πλακέτα του εργαστηρίου. Ο ελεγκτής στην συνέχεια πρέπει να συνδεθεί με ένα κύκλωμα σειριακής επικοινωνίας (UART) (βλ. παρακάτω σχήμα), μέσω του οποίου θα παρέχουμε είσοδο στον ελεγκτή, ώστε να εμφανίζει στην οθόνη 7 τμημάτων την ASCII δεκαεξαδική κωδικοποίηση του ψηφίου που πατήσαμε.

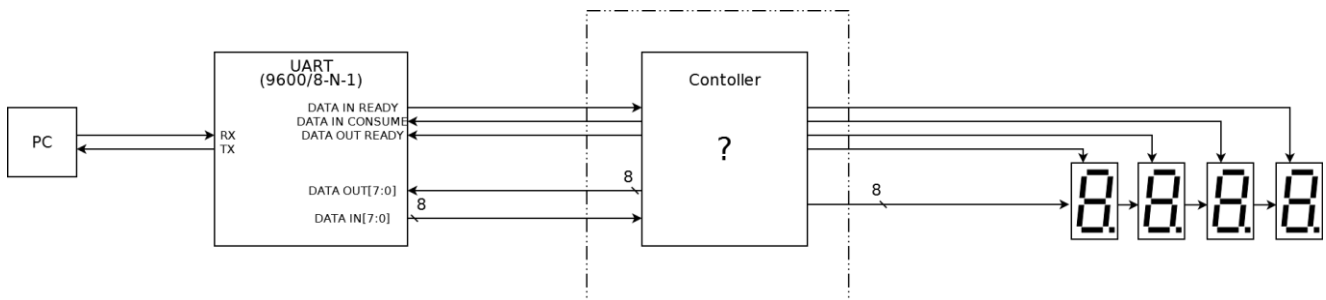


Figure 1: Σύστημα ελέγχου οθόνης 7 τμημάτων, συνδεδεμένο με σειριακή διεπαφή (interface).

Τα δεδομένα από το σειριακό τερματικό δίδονται ως ακολουθίες χαρακτήρων, και αντίστοιχα στέλνονται τα αποτελέσματα στο σειριακό τερματικό. Με χρήση του σειριακού τερματικού θα πρέπει να επιδείξετε την λειτουργία του συστήματος αυτού.

1.2 Σχεδιασμός Συστήματος και Αναφορά

Πρώτο βήμα για την υλοποίηση της εργασίας είναι ο σχεδιασμός, στο χαρτί ή και σε ηλεκτρονική μορφή, το κύκλωμα που υλοποιεί την λογική ελέγχου της οθόνης 7 τμημάτων. Για την λογική ελέγχου θα χρειαστεί να σχεδιάσετε κατάλληλη μηχανή πεπερασμένων καταστάσεων (Finite State Machine - FSM). Επίσης, θα χρειαστεί να σχεδιάσετε το κύκλωμα που οδηγεί την οθόνη 7 τμημάτων. Λεπτομέρειες για την 7-segment display στη σελίδα 4 και 5 του εγχειριδίου: http://www.csd.uoc.gr/~hy220/2015f/Basys2_rm.pdf Αφού σχεδιάσετε το κύκλωμα, πρέπει να γράψετε στην αναφορά σας την λειτουργία του σε υψηλό επίπεδο, μετά να περιγράψετε την υλοποίησή σας και τέλος τα τεστ προσομοίωσης που θα κάνετε για να επαληθεύσετε την ορθότητα των κυκλωμάτων σας. Στην προσομοίωση δεν χρειάζεται να περιλάβετε το UART, θα προσομοιώσετε τα σήματα εισόδου και εξόδου του UART με "test vectors".

Το UART προωθεί στον ελεγκτή σας ότι γράφουμε σε ένα σειριακό τερματικό. Π.χ. όταν γράψετε στο τερματικό το γράμμα 'a' και μετά πατήσετε το Enter, θα σταλθούν οι χαρακτήρες 'a' και 'cr' όπου cr = carriage return, ο χαρακτήρας ASCII για το Enter. Για την κωδικοποίηση του ASCII μπορείτε να

βρείτε στο internet. Ένας πίνακας εδώ <http://www.italysoft.com/utility/converters/asciifull.gif>. Για να σταλεί μία ακολουθία χαρακτήρων από το τερματικό πρέπει να πατηθεί το Enter και έτσι πάντα όλες οι ακολουθίες τελειώνουν με το χαρακτήρα 'cr'. Ο ελεγκτής σας, δεδομένης μίας ακολουθίας χαρακτήρων πρέπει να δείξει στην οθόνη 7 τμημάτων την ASCII δεκαεξαδική κωδικοποίηση του τελευταίου χαρακτήρα πριν το 'cr', δηλαδή άμα γράψετε "csd" και πατήσετε Enter πρέπει να δούμε στην οθόνη τον 0x63 σε δύο από τα 4 ψηφία του 7seg display.

Το UART που έχετε έχει το εξής interface:

DATA_IN[7:0]: Εδώ εμφανίζονται τα δεδομένα που έρχονται. Κάθε φορά ένα byte η αλλιώς κάθε φορά ένας ASCII χαρακτήρας.

DATA_IN_READY: Όταν το σήμα αυτό είναι 1, υποδηλώνει ότι έχουμε έγκυρα δεδομένα στο DATA_IN.

DATA_IN_CONSUME: Όταν καταναλώσουμε τα δεδομένα από την είσοδο, κάνουμε αυτό το σήμα 1 για να πούμε στο UART να φέρει άλλα δεδομένα αν υπάρχουν.

DATA_OUT[7:0]: Εδώ βάζουμε δεδομένα για αποστολή στο τερματικό.

DATA_OUT_READY: Όταν κάνουμε αυτό το σήμα 1 λέμε στο UART ότι τα δεδομένα στο DATA_OUT είναι έγκυρα.

1.3 Συγγραφή του Κώδικα Verilog και Προσομοίωση

Αφού ετοιμάσατε την αναφορά σας θα πρέπει να την μετατρέψετε σε κώδικα Verilog. Αμέσως μετά πρέπει να δημιουργήσετε τα testbench modules με το οποίο θα δοκιμάσετε να προσομοιώσετε το σύστημα.

1.4 Δημιουργία UCF και Τοποθέτηση

Αφού ολοκληρώσετε τα προηγούμενα βήματα, πρέπει να δημιουργήσετε το Αρχείο Περιορισμών Χρήστη (User Constraints File – UCF) δηλώνοντας τις εισόδους και τις εξόδους που θα χρησιμοποιήσετε στην πλακέτα και την τάση που θα τους ασκήσετε, όπως δείχνει το ucf αρχείο που λάβατε στο εργαστήριο 0 το οποίο είναι κομμάτι του master ucf που έχει δοθεί από τους κατασκευαστές.

1.5 Παράδοση

Την 2η εβδομάδα (26/10-30/10) θα παραδώσετε την αναφορά σας και την verilog, και την τρίτη εβδομάδα (2/11-6/11) θα τρέξετε το σχέδιο σας στην πλακέτα και θα παραδώσετε όλα σας τα αρχεία. Σας συστήνουμε να έχετε έτοιμη την αναφορά σας την δεύτερη εβδομάδα, ώστε αν έχετε προβλήματα ή απορίες να τα δούμε την πρώτη εβδομάδα και να τα επανεξετάσουμε την τρίτη εβδομάδα. Για τις ώρες της εξέτασης κλείνετε timeslot μέσω του Rendezvous.