

ΠΑΝΕΠΙΣΤΗΜΙΟ ΚΡΗΤΗΣ

ΤΜΗΜΑ ΕΠΙΣΤΗΜΗΣ ΥΠΟΛΟΓΙΣΤΩΝ

ΠΑΡΟΥΣΙΑΣΗ / ΕΞΕΤΑΣΗ ΜΕΤΑΠΤΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ

Μαστοράκης Ιάσων

Μεταπτυχιακός Φοιτητής

Τμήμα Επιστήμης Υπολογιστών, Πανεπιστήμιο Κρήτης

Επόπτης Μεταπτυχιακής Εργασίας: Καθηγητής, Μ. Κατεβαίνης

Β. Παπαευσταθίου, Ερευνητής Γ' (Επιβλέπων)

Τετάρτη, 24 Μαρτίου 2021 , ώρα 9:00 π.μ.

Join Zoom Meeting

<https://zoom.us/j/92163690715>

**“Σχεδίαση και Υλοποίηση μιας Κλιμακώσιμης Μονάδας Διαχείρισης Μνήμης
Εισόδου-Εξόδου για Αρχιτεκτονικές RISC-V”**

Περίληψη

Η εικονική μνήμη είναι πανταχού παρούσα στα συστήματα υπολογιστών γενικού σκοπού επειδή έχει πολλά πλεονεκτήματα όπως την απλοποίηση της διαχείρισης μνήμης για διευκόλυνση των προγραμματιστών, την προστασία μνήμης και την απομόνωση που βελτιώνουν την ασφάλεια, και τη δυνατότητα οι εφαρμογές να χρησιμοποιούν περισσότερη μνήμη από τη διαθέσιμη φυσική μνήμη του συστήματος. Την εικονική μνήμη τη διαχειρίζεται το Λειτουργικό Σύστημα και οι επεξεργαστές περιλαμβάνουν πίνακες μετάφρασης υλοποιημένους σε υλικό (TLBs) και Μονάδες Διαχείρισης Μνήμης (MMUs) για να επιταχύνουν τη διαδικασία μετάφρασης των εικονικών διευθύνσεων σε φυσικές. Αντίστοιχα, συσκευές Εισόδου/Εξόδου με δυνατότητα Άμεσης Προσπέλασης Μνήμης (DMA) και Επεξεργαστές Γραφικών που δεν εκτελούν κώδικα Λειτουργικού Συστήματος μπορούν να επωφεληθούν από τη χρήση εικονικής μνήμης. Για το λόγο αυτό πολλές μοντέρνες αρχιτεκτονικές προσφέρουν Εικονικοποίηση και προστασία για την Είσοδο-Εξοδο χρησιμοποιώντας εξειδικευμένες Μονάδες Διαχείρισης Μνήμης Εισόδου-Εξόδου (IOMMUs).

Σε αυτή την εργασία σχεδιάστηκε και υλοποιήθηκε μια Μονάδα Διαχείρισης Μνήμης Εισόδου-Εξόδου σε επίπεδο υλικού για το ανερχόμενο και ταχεία αναπτυσσόμενο ανοιχτό οικοσύστημα RISC-V. Σχεδιάσαμε και υλοποιήσαμε μια κλιμακώσιμη αρχιτεκτονική Μονάδας Διαχείρισης Μνήμης Εισόδου-Εξόδου η οποία υποστηρίζει ταυτόχρονα πολλαπλές συσκευές Εισόδου-Εξόδου τηρώντας τις προδιαγραφές της αρχιτεκτονικής RISC-V για εικονικές διευθύνσεις με πλάτος 39 και 48 bits. Η σχεδίαση αποτελείται από δυο κύρια στοιχεία: (α) τη Μονάδα Μετάφρασης Διευθύνσεων (ΜΜΔ) και (β) τον Ελεγκτή Μετάφρασης Διευθύνσεων (ΕΜΔ). Αυτά τα στοιχεία είναι διαμορφώσιμα όσο αφορά τα χαρακτηριστικά τους και μπορούν να συνδυαστούν με πολλούς διαφορετικούς τρόπους έτσι ώστε να δημιουργήσουν επεκτάσιμα συστήματα και να προσαρμοστούν για σχέδια με πολλές συσκευές και διαφορετικούς βαθμούς διαμοιρασμού των ΜΜΔ και ΕΜΔ. Απο όσο είμαστε σε θέση να γνωρίζουμε, είμαστε μεταξύ των πρώτων που σχεδίασαν και υλοποίησαν μια Μονάδα Διαχείρισης Μνήμης Εισόδου-Εξόδου για συστήματα RISC-V καθώς δεν υπάρχουν δημοσιευμένες επίσημες προδιαγραφές μέχρι σήμερα (Μάρτιος 2021).

Υλοποιήσαμε και επαληθεύσαμε τη σχεδίαση της Μονάδας Διαχείρισης Μνήμης Εισόδου-Εξόδου σε SystemVerilog και αξιολογήσαμε την απόδοσή της χρησιμοποιώντας προσομοίωση RTL με συνθετικά μοτίβα κυκλοφορίας που εξασκούν διαφορετικά σενάρια χρήσης. Επιπλέον, αξιολογήσαμε τις απαιτήσεις χώρου και τη συχνότητα λειτουργίας της Μονάδας Διαχείρισης Μνήμης Εισόδου-Εξόδου σε μια Xilinx Zynq Ultrascale+ FPGA (συστοιχία επαναπρογραμματιζόμενης λογικής). Τέλος, δημιουργήσαμε ένα σχέδιο σε FPGA που περιέχει τη Μονάδα Διαχείρισης Μνήμης Εισόδου-Εξόδου μας και μια τυπική Μονάδα Άμεσης Προσπέλασης Μνήμης και επαληθεύσαμε τη σωστή λειτουργία σε ένα αληθινό σύστημα κάτω από απαιτητικά μοτίβα δοκιμών.

University of Crete

Computer Science Department

M.Sc. Thesis

Mastorakis Iason

Master's Thesis Supervisor: Professor, M. Katevenis

V. Papaefstathiou (Master's Thesis Co-Advisor)

Wednesday, 24 March 2021, 9:00 a.m.

Join Zoom Meeting

<https://zoom.us/j/92163690715>

"Design and Implementation of a Scalable IOMMU for RISC-V Architectures"

Abstract

Virtual memory is ubiquitous in general purpose computing systems today because it has many advantages such as simplifying memory management to ease the programmers, offering memory protection and isolation that improves security, and enabling applications to use more memory than the physically available capacity. The virtual memory is managed by the Operating System (OS) and the processors include hardware Translation Lookaside Buffers (TLBs) and Memory Management Units (MMUs) to accelerate virtual-to-physical address translation for the common case. Similarly, I/O devices with Direct Memory Access (DMA) or Graphics Processing Units (GPUs) that do not execute OS code can benefit from virtual memory. For this purpose, many modern architectures offer I/O Virtualization and protection by utilizing specialized Input-Output Memory Management Units (IOMMUs).

This thesis contributes with the hardware design and implementation of an IOMMU for the rising and fast growing open RISC-V architecture ecosystem. We design a scalable IOMMU architecture that supports multiple concurrent I/O devices following the RISC-V specifications for 39- and 48-bit virtual addresses (SV39 and SV48). The design consists of two main components: (a) the Address Translation Unit (ATU) and (b) the Address Translation Controller (ATC). These components are configurable in terms of features and can be combined in several different ways to create scalable and tailored systems with many devices and varying degrees of ATU and ATC sharing. To the best of our knowledge we are among the first to design and implement an IOMMU for RISC-V systems since there are no official specifications published to date (March 2021).

We implement and verify the IOMMU design in SystemVerilog and evaluate its performance using RTL simulation with synthetic traffic patterns that exercise different use cases. Moreover, we evaluate the area and frequency of our IOMMU design on a Xilinx Zynq Ultrascale+ FPGA. Finally, we create an FPGA design that includes our IOMMU and a typical DMA device and we verify its correct functionality on the real system under stress patterns.