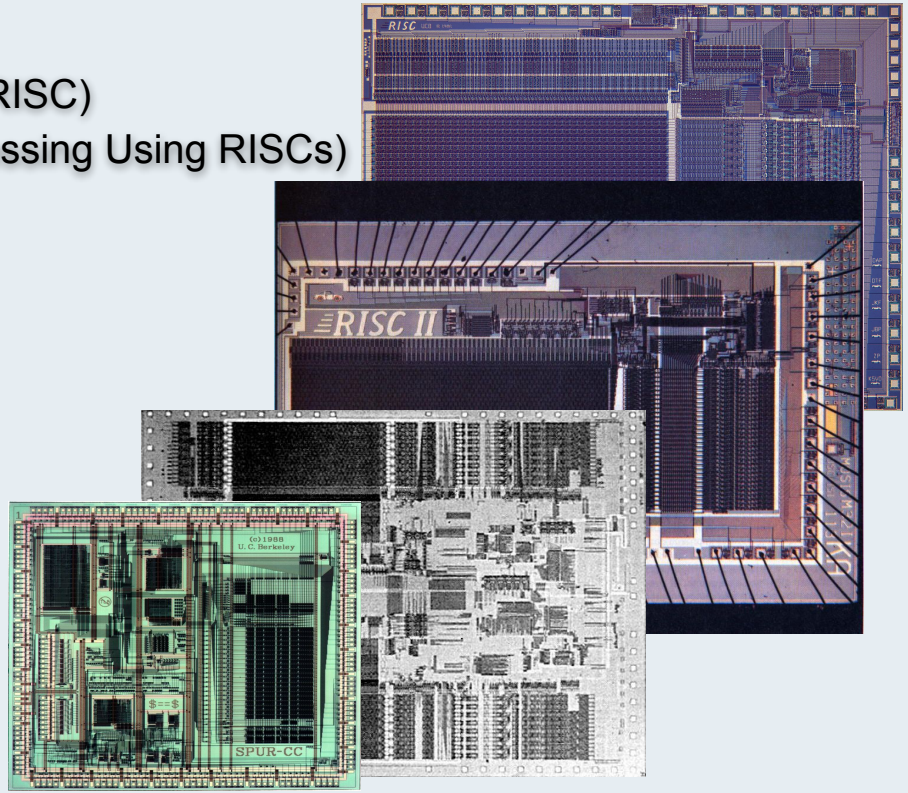
Μια γρήγορη ματιά στο **RISC-V**

Νίκος Κοσσυφίδης - CSD HY225 8/2/2023


Λίγα λόγια για την
αρχιτεκτονική...
FORTH

Γιατί “RISC-V” ?

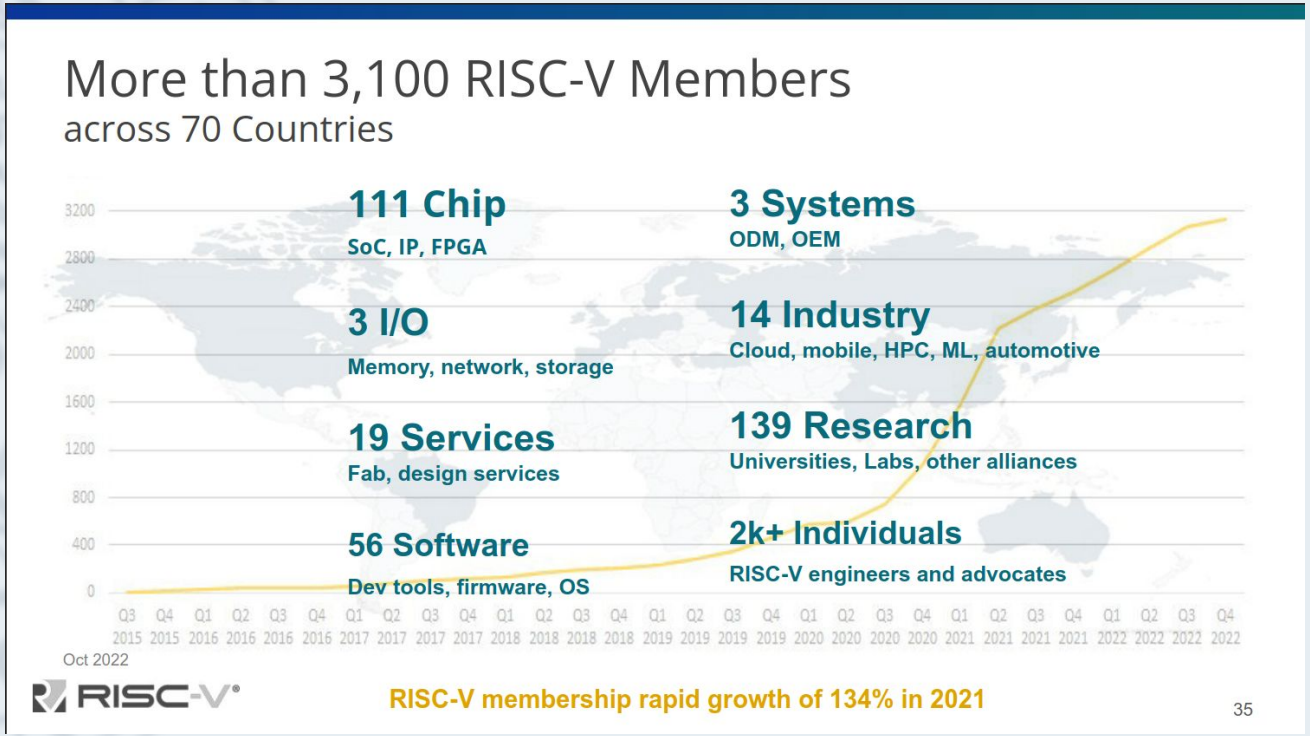
- RISC, RISC-II (1981)
- SOAR aka RISC-III (1984) (Smalltalk on a RISC)
- SPUR aka RISC-IV (1988) (Symbolic Processing Using RISCs)
- RISC-V (2010)
  - 2014 → Frozen base user spec
  - 2015 → RISC-V foundation
  - 2019 → RISC-V International



Γιατί μας ενδιαφέρει

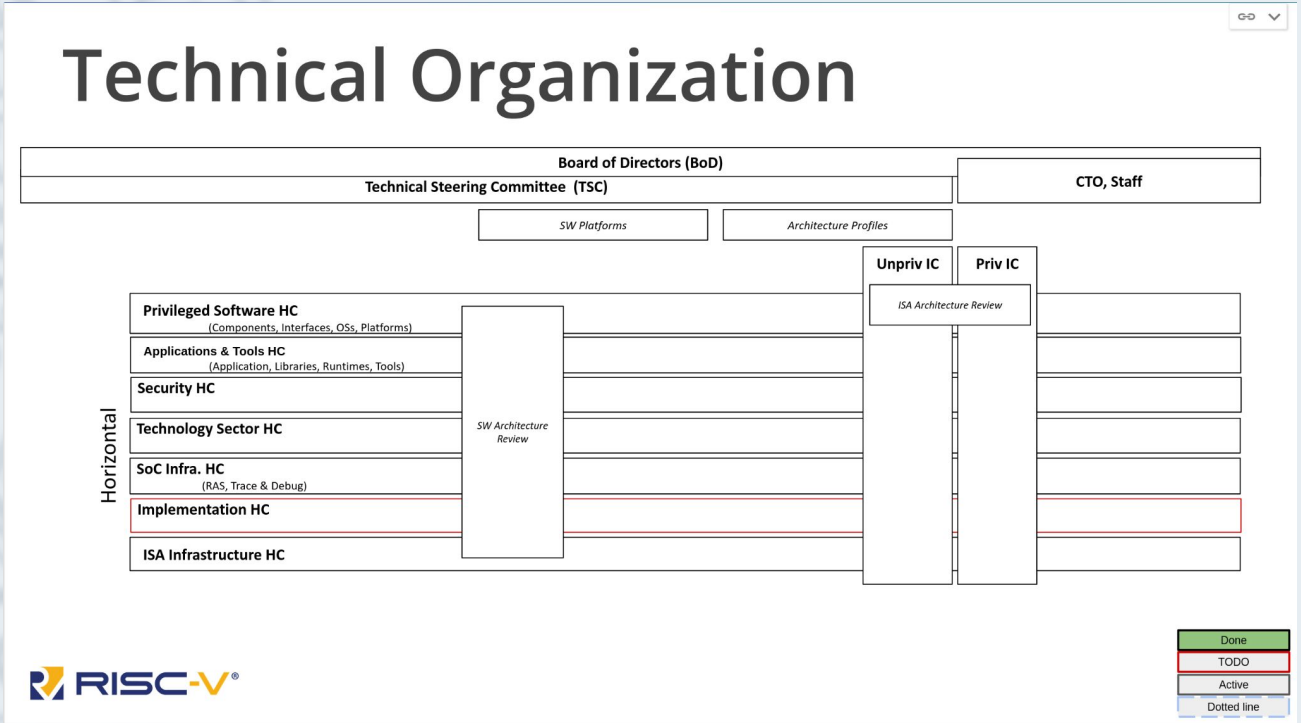
- Είναι απλή και καθαρή αρχιτεκτονική.
  - Απλή: Γιατί είναι RISC
  - Καθαρή: Γιατί μάθαμε απ' τα λάθη των προηγούμενων
- Είναι ανοιχτή (open standard) και διαμορφώνεται συλλογικά.
- Ακολουθεί αρθρωτό (modular) μοντέλο ανάπτυξης.
  - Βασικό σετ (RV32I, RV64I, RV128I) (ή RV32E, RV64E, RV128E)
  - Σετ επεκτάσεων: A(tomics), B(it manipulation), C(ompressed instructions), F/D/Q(Single/Double/Quad precision floating point), M(ultiply and divide), V(ectors)...
  - Μεμονωμένες επεκτάσεις: Z***
  - Επεκτάσεις τρίτων: X***
- Είναι ελεύθερη προς χρήση, χωρίς το υπέρογκο κόστος αδειοδότησης άλλων αρχιτεκτονικών.
  - x86: Ανήκει σε 2 εταιρείες (Intel και AMD), ιδιαιτέρως κλειστό οικοσύστημα.
  - ARM: Ανήκει σε μια εταιρία που δίνει άδειες σε τρίτους, με κόστος μέχρι και 10M.
  - RISC-V: Ανήκει στο RISC-V International Association, ελεύθερη χρήση, πολύ μικρό κόστος (ανάλογα με το μέγεθος της εταιρείας) για χρήση του logo/ονόματος.

Ποιοι συμμετέχουν



FORTH
INSTITUTE OF COMPUTER SCIENCE

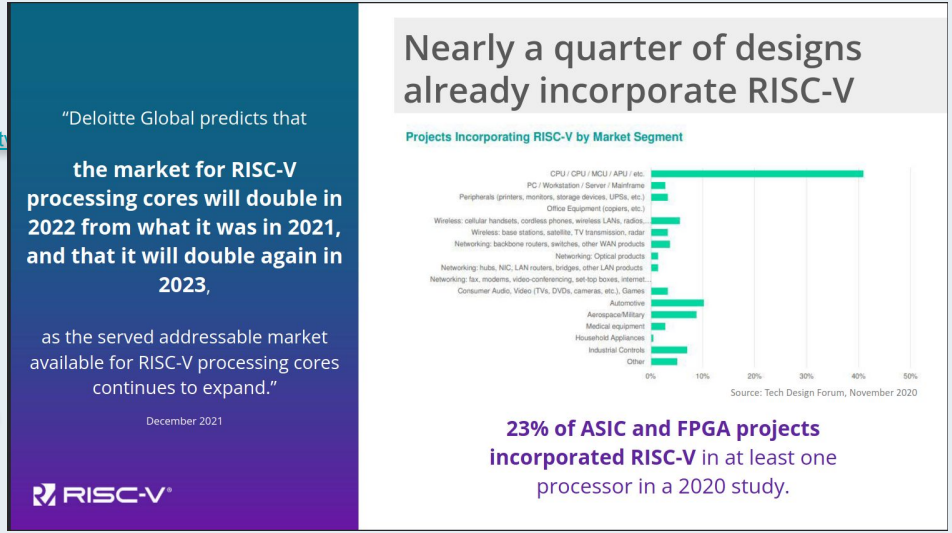
Οργανωτική δομή



FORTH
INSTITUTE OF COMPUTER SCIENCE

Πού θα βρούμε υλοποιήσεις σήμερα

- Στις κάρτες γραφικών της Nvidia (NV RISC-V)
  - https://riscv.org/wp-content/uploads/2016/07/Tue1100_Nvidia_RISCV_Story_V2.pdf
- Στους σκληρούς δίσκους της Seagate και της Western Digital
  - https://www.seagate.com/gb/en/innovation/risc-v/
  - https://documents.westerndigital.com/content/dam/doc-library/en_us/assets/public/western-digital/collateral/tech-brief/tech-brief-western-digital-risc-v.pdf
- Στα κινητά Pixel της Google (Titan M2)
  - https://www.androidauthority.com/titan-m2-google-3261547/
- Στα κινητά της Samsung
  - https://www.anandtech.com/show/15228/samsung-to-use-riscv-cores
- Σε διάφορα συστήματα της Huawei
  - https://www.huaweicentral.com/huaweis-hisilicon-launched-hi373v110-t
- Σε διάφορες μικροσυσκευές (π.χ. Bluetooth)
- Σε διάφορα υποσυστήματα (π.χ. δικτυακός εξοπλισμός)
- Σε μικρής ισχύος υπολογιστές
  - SiFive Unleashed / Unmatched
  - StarFive Vision/Vision 2
  - SBCs with Allwinner-D1 SoC
- Σε πειραματικά cores και SoCs ανοιχτού κώδικα
- Και σε άλλα τόσα που δεν γνωρίζουμε !
- Λίστα υλοποιήσεων, πριν χάσουμε το μέτρημα (2 χρόνια πίσω)
  - https://github.com/riscvarchive/riscv-cores-list
- 2022: 10 δις chips βασισμένα στο RISC-V !!



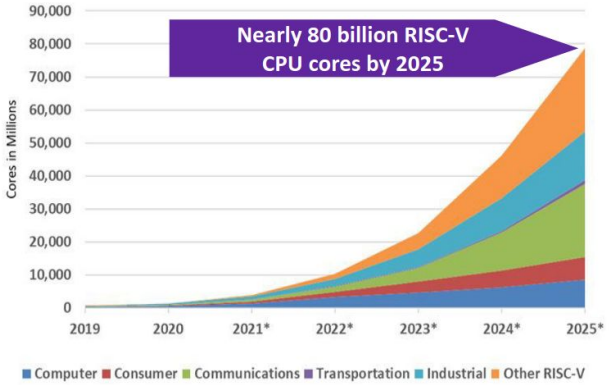
FORTH
INSTITUTE OF COMPUTER SCIENCE

RISC-V παντού !

- Η MIPS γυρίζει σε RISC-V
  - https://riscv.org/blog/2022/05/mips-pivots-to-risc-v-with-best-in-class-performance-and-scalability-mips/
- Η IBM άνοιξε την αρχιτεκτονική POWER (OpenPOWER) και έγινε μέλος του RISC-V International Association
- Η Intel επενδύει 1δις στο RISC-V
  - https://riscv.org/blog/2022/02/intel-corporation-makes-deep-investment-in-risc-v-community-to-accelerate-innovation-in-open-computing/
- Η Intel και το BSC φτιάχνουν RISC-V lab στην Ισπανία
  - https://www.eetimes.eu/spain-approves-e12-25b-semiconductor-investment-plan/
- Η Apple πειραματίζεται με το RISC-V και φαίνεται πως στο επόμενο SoC της θα χρησιμοποιεί RISC-V για διάφορα υποσυστήματα
  - https://www.tomshardware.com/news/apple-looking-for-risc-v-programmers
- Η Ε.Ε. επενδύει 15δις στο Chips Act και προωθεί το RISC-V
  - https://www.europarl.europa.eu/RegData/etudes/BRIE/2022/733596/EPRS-Briefing-733596-EU-chips-act-V2-FINAL.pdf
- Η Ε.Ε. Επενδύει 270Μ σε επεξεργαστές RISC-V για HPC
  - https://eurohpc-ju.europa.eu/framework-partnership-agreement-fpa-developing-large-scale-european-initiative-high-performance_en
- Η NASA φτιάχνει SoC βασισμένο στο RISC-V για τα συστήματά της και την κυβέρνηση των Η.Π.Α.
  - https://www.eejournal.com/article/nasa-recruits-microchip-sifive-and-risc-v-to-develop-12-core-processor-soc-for-autonomous-space-missions/
- Ο Ευρωπαϊκός επεξεργαστής χρησιμοποιεί ήδη RISC-V !
- Η Ινδία και η Κίνα επίσης επενδύουν στο RISC-V.
- Συστήματα υπερυπολογιστών βασισμένα σε RISC-V βρίσκονται υπό ανάπτυξη διεθνώς.

Προβλέψεις για το μέλλον

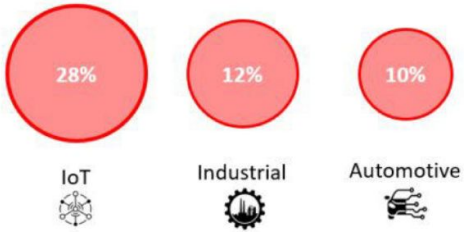
RISC-V CPU core market grows 114.9% CAGR, capturing >14% of all CPU cores by 2025



RISC-V

Source: Semico Research Corp, March 2021

RISC-V Penetration Rate by 2025



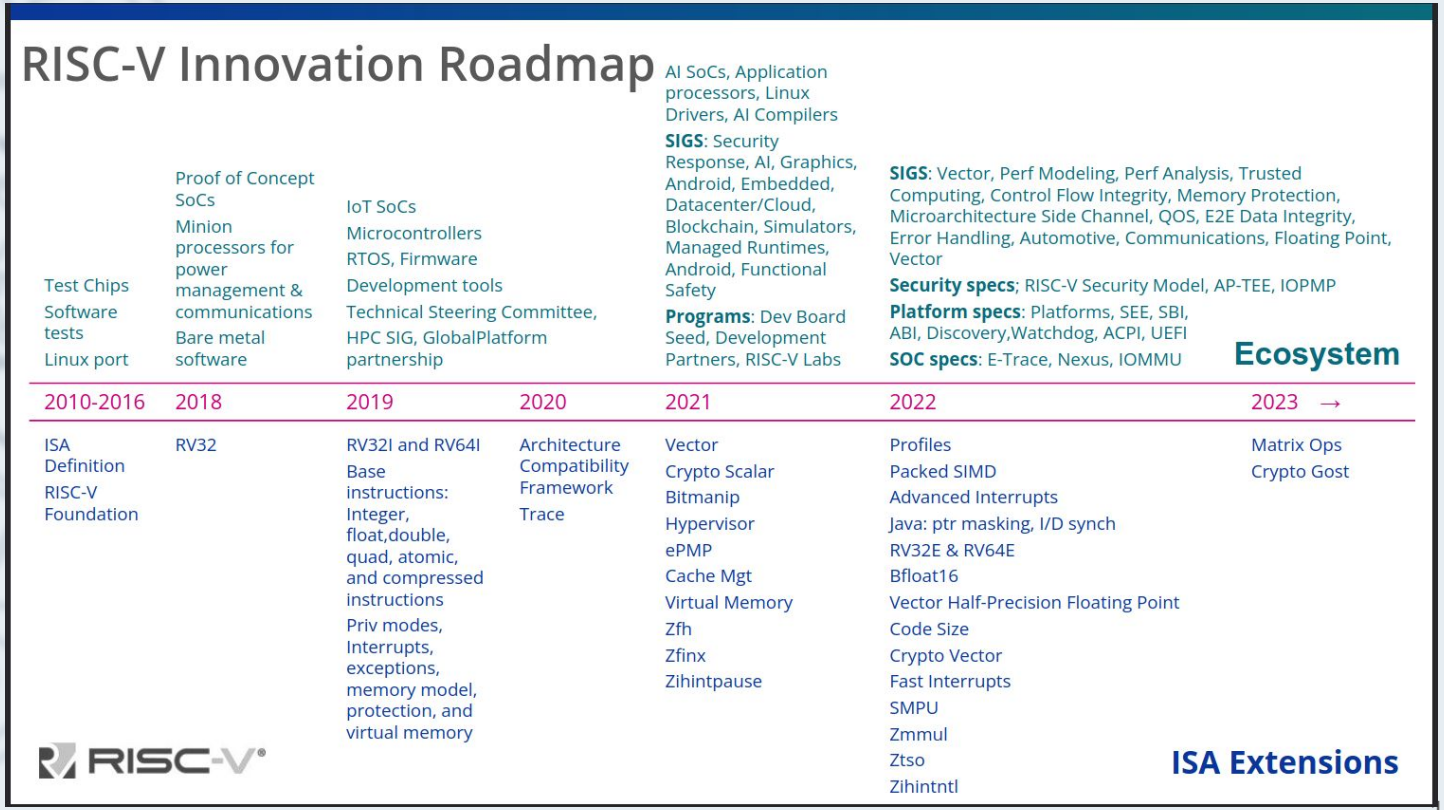
"The rise of RISC-V cannot be ignored… RISC-V will shake up the $8.6 Billion semiconductor IP market."

-- William Li, Counterpoint Research

Source: Counterpoint Research, September 2021

FORTH
INSTITUTE OF COMPUTER SCIENCE

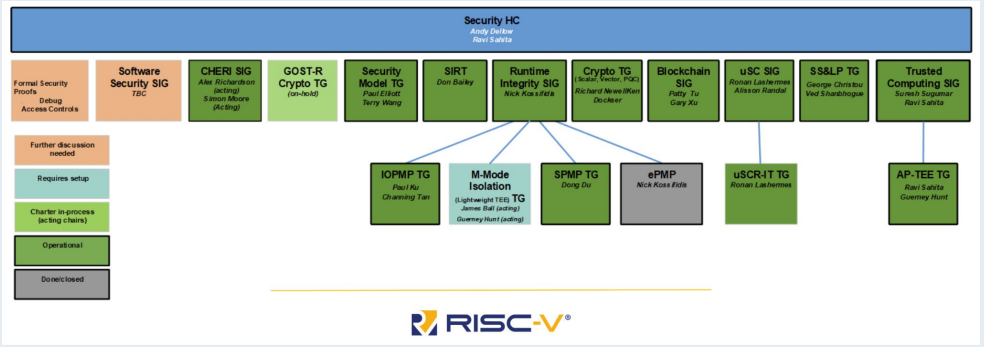
Η εξέλιξη της αρχιτεκτονικής



RISC-V στο Ηράκλειο

Η συνεισφορά μας σε επίπεδο ISA

- ePMP (Enhanced Physical Memory Protection) (Ratified)
  - https://github.com/riscv/riscv-tee/blob/main/Smepmp/Smepmp.pdf
- Control Flow Integrity (Work in progress)
  - https://github.com/riscv/riscv-cfi/blob/main/riscv-cfi.pdf
- IOMMU (Work in Progress)
  - https://github.com/riscv-non-isa/riscv-iommu/blob/main/riscv-iommu.pdf
- SPMP (Supervisor Physical Memory Protection (Work in Progress)
  - https://github.com/riscv/riscv-spmp/blob/main/rv-spmp-spec.pdf
- Pointer masking (Work in Progress)
  - https://github.com/riscv/riscv-j-extension/blob/master/zjpm-spec.pdf



- Νίκος Κοσσυφίδης
  - TEE TG (Chair, Vice Chair)
  - Runtime Integrity SIG (Acting Chair)
  - Technical Steering Committee
- Γιώργος Χρήστου
  - CFI TG (Chair)
- Βασίλης Παπαευσταθίου
  - IOMMU (Acting Chair)

Περισσότερες πληροφορίες για την εξέλιξη της αρχιτεκτονικής εδώ: https://wiki.riscv.org/display/HOME/Specification+Status

Και η εκτίμηση της κοινότητας

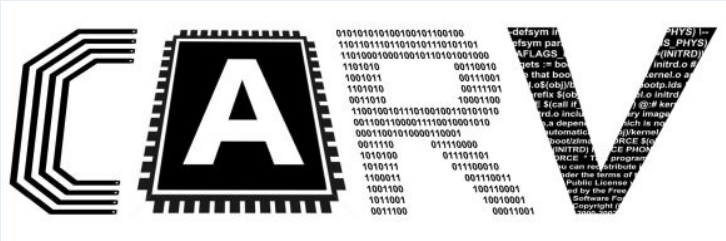
TSC Voting Members

Type	Organization	Voting Member Name	Term Started
TSC Chair	SiFive (Premier)	Yunsup Lee	9/2021
TSC Vice-Chair	Ventana (Premier)	Greg Favor	10/2022
Priv Software HC	(Both Chairs Represented)		
Applications & Tools HC	VRULL	Philipp Tomsich	7/2022
SOC Infrastructure HC	Picocom	Gajinder Panesar	7/2022
Priv IC Chair	Ventana	Greg Favor	7/2022
ISA Infrastructure HC	Esperanto	Allen Baum	7/2022
Technology HC	Tactical Computing Labs	John Leidel	9/2022
Unpriv IC	Aril Inc	Earl Killian	10/2021
Premier	Andes	Charlie Su	6/2020
Premier	Alibaba Cloud	David Chen	6/2020
Premier	Beijing Institute of OSC	Yungang Bao	8/2022
Premier	Chengwei Capital	Haibin Shen	2/2021
Premier	Google	Avi Timor	9/2021
Premier	Haihe Laboratory of IT	Jack Li	7/2022
Premier	Huawei	Peter Chun	6/2020
Premier TSC	ICT CAS	Kan Shi	8/2022

Type	Organization	Voting Member Name	Term Started
Premier	Imagination Technologies	Ozgur Ozkurt	12/2022
Premier	Intel	Bob Brennan	2/2022
Premier TSC	ISCAS	Wei Wu	6/2020
Premier	MeitY	Nishit Gupta	11/2022
Premier TSC	Qualcomm	James Ball	7/2022
Premier	RIOS	Zhangxi Tan	6/2020
Premier	Rivos Inc	David Brash	1/2023
Premier	Seagate	Stacey Secatch	12/2022
Premier	SiFive	(TSC Chair)	
Premier	Stream Computing	Xiao bo Fan (Shawn)	11/2021
Premier	Syntacore	Sergey Yakushkin	12/2021
Premier TSC	Tencent	Jianlin Gao (Austin)	12/2022
Premier TSC	Sanechips/ZTE	Ji Dong	8/2020
Premier	Ventana	(Priv Chair)	9/2022
Strategic Elected	VMWare	Tiejun Chen	10/2021
Strategic Elected	Akeana	David Weaver	1/2023
Community / Indv Elected	FORTH	Nick Kossifidis	1/2023

RISC-V στο CARV

- Hardware
  - European Processor Initiative (EPAC)
  - eProcessor
  - EUPilot
  - RISER
  - Η δικιά μας RISC-V IOMMU !
  - …
- System Software
  - Kexec (Linux)
  - Musl toolchain support
  - SBI extension for Hart State Management
  - …

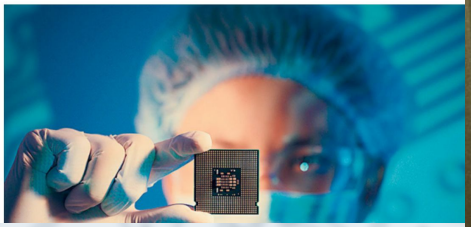


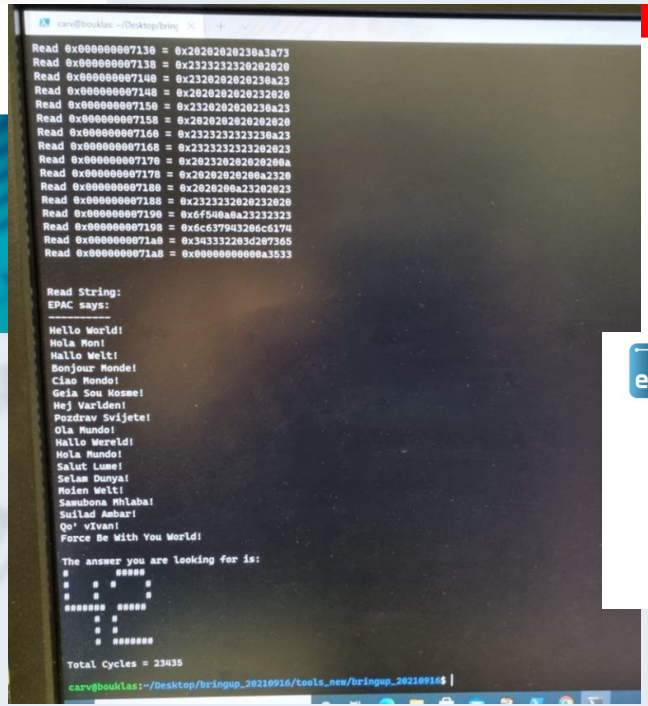
FORTH
INSTITUTE OF COMPUTER SCIENCE

RISC-V στο CARV

ECONOMY

Greek institute pioneers cutting-edge EU chip technology





The Register

First RISC-V computer chip lands at the European Processor Initiative

EPAC accelerator runs its first 'Hello, World!' in-silico

Gareth Halfacree — Wed 22 Sep 2021 14:28 UTC

The European Processor Initiative (EPI) has run the successful first test of its RISC-V-based European Processor Accelerator (EPAC), touting it as the initial step towards homegrown supercomputing hardware.

EPI, launched back in 2018, aims to increase the independence of Europe's supercomputing industry from foreign technology companies. At its heart is the adoption of the free and open-source RISC-V instruction set architecture for the development and production of high-performance chips within Europe's borders.

European Processor Initiative

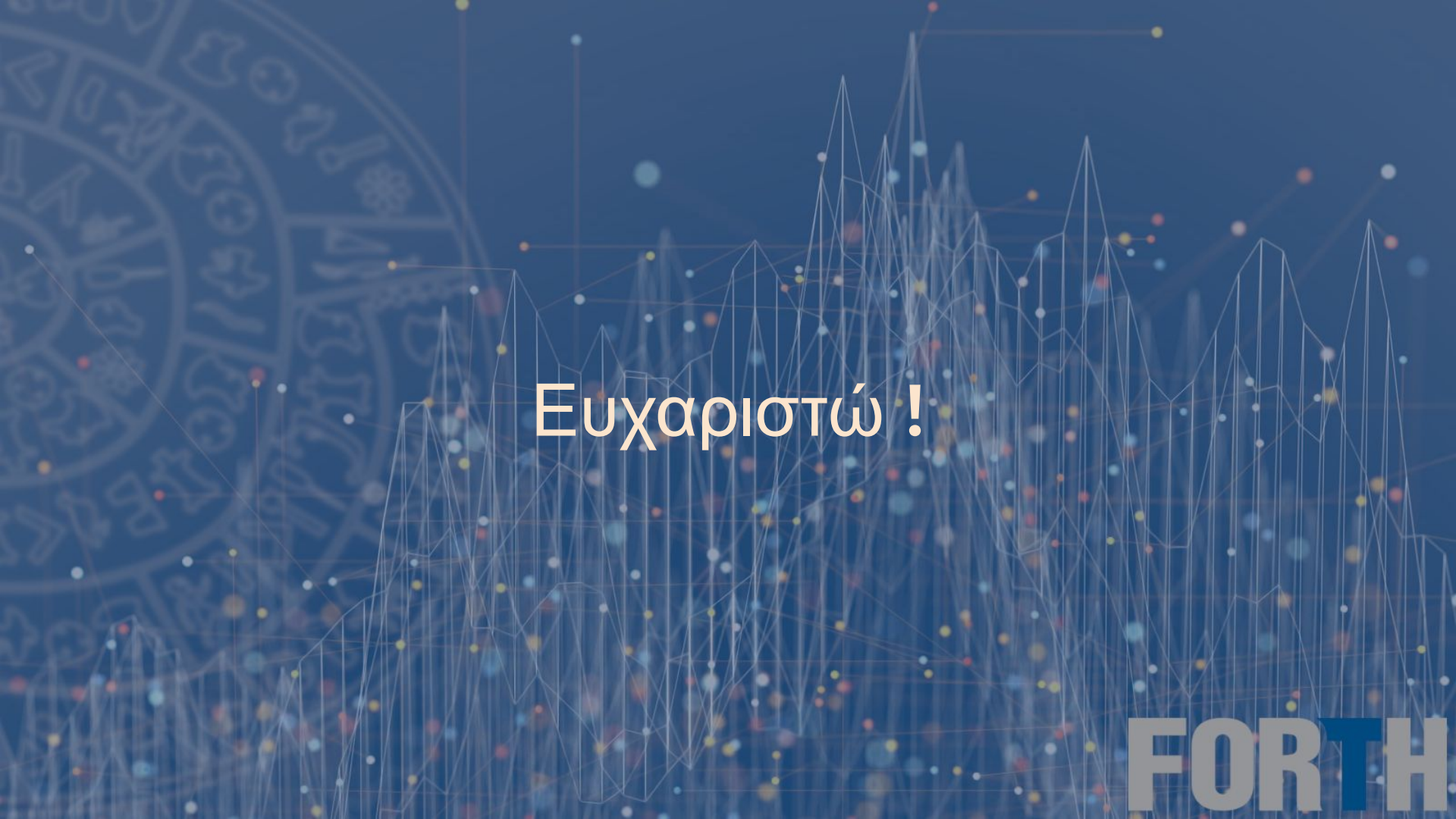
EPI EPAC1.0 RISC-V core boots Linux on FPGA

The European Processor Initiative (EPI) https://www.european-processor-initiative.eu/, a project with 28 partners from 10 European countries, with the goal of helping the EU achieve independence in HPC technologies is proud to announce that we have successfully booted Linux on our EPAC 1.0 core subset implemented on FPGA.

One key segment of EPI activities is to develop and demonstrate fully European processor IPs based on the RISC-V Instruction Set Architecture, providing power efficient and high throughput accelerator core named EPAC (European Processor Accelerator). Using RISC-V will allow leveraging open-source resources at hardware architecture level and software level, as well as ensuring independence from non-European patented computing technologies.

FORTH
INSTITUTE OF COMPUTER SCIENCE

Ερωτήσεις ?


Ευχαριστώ !
FORTH