

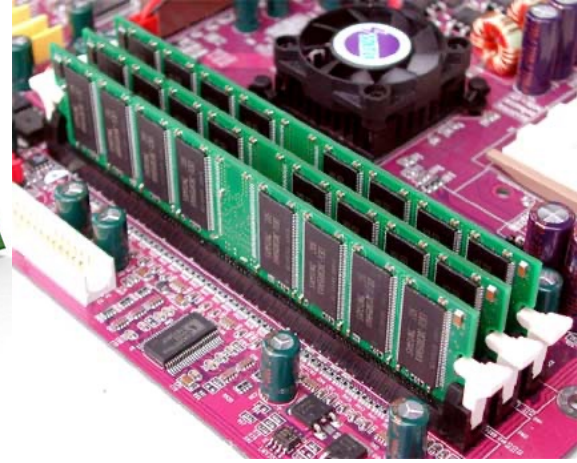
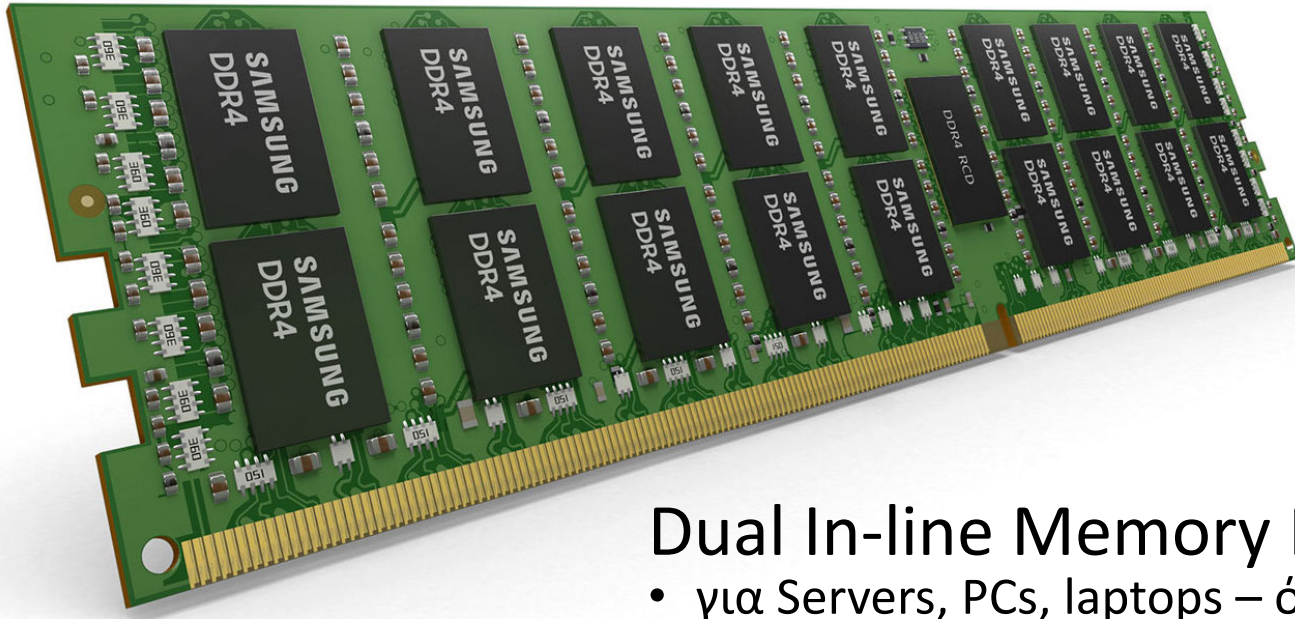
## Τεχνολογίες Μνήμης: SRAM, DRAM, Διαφύλλωση (Interleaving), Δίσκοι

*13α (§13.1-3) – 3-5 Μαΐου 2023 – Μανόλης Κατεβαίνης*

# Στατική και Δυναμική Μνήμη Τυχ. Πρ. – SRAM/DRAM

- Random Access Memory (RAM) – Μν. Τυχαίων Προσπελ.
  - σε αντίθεση με σειριακής προσπέλασης: δίσκοι, ταινίες
- Static RAM (SRAM)
  - 6 Transistors/bit – περίπου σαν βρόχος δύο NOT-gates (latch)
  - Διατηρεί το περιεχόμενό της όσο τροφοδοτείται με τάση
  - Γρήγορη αλλά αυξ. εμβ. & καταναλ. – Χρήση: Κρυφές Μνήμες
- Δυναμική RAM (DRAM)
  - 1 Transistor/bit – φορτίο σε (μικρή) παρασιτική χωρητικότητα
  - Διαρροές: απαιτεί Refresh (read-amplify-write) κάθε ~32-64 ms
  - Οικονομική αλλά αργή – Χρήση: Κεντρική Μνήμη (off-chip)

# DIMM: Κεντρική Μνήμη για (μεγάλους) Υπολογιστές



## Dual In-line Memory Module (DIMM)

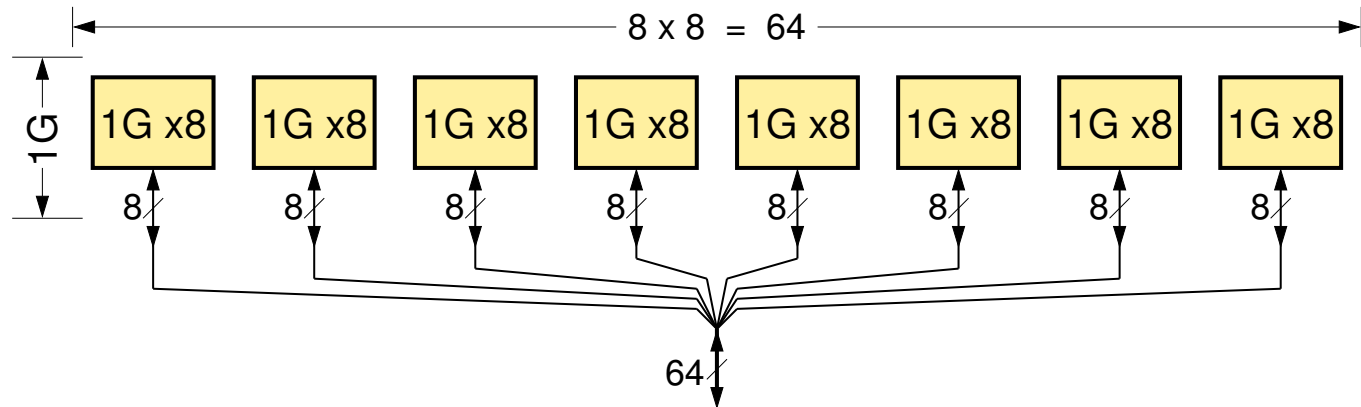
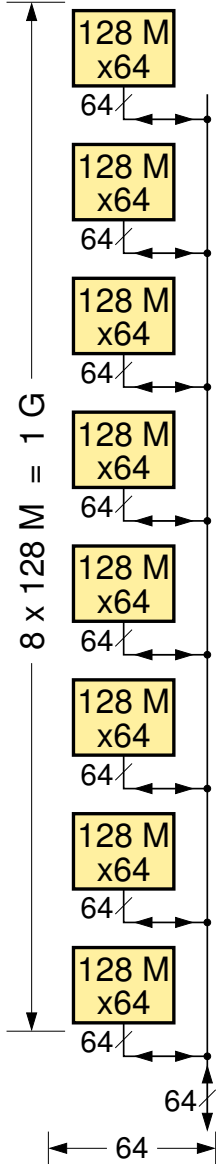
- για Servers, PCs, laptops – όχι κινητά / μικρούς υπ.
- Π.χ. 8+1 ή 16+2 DRAM chips → 64+8 = 72-bit data bus
  - 64 Data bits + 8 Error Detection/Correction Code bits (EDC/ECC)
  - Τρισεκατομμύρια «ασθενικά» bits, όχι σπάνια τα bit flips (π.χ. κοσμική ακτινοβ.), καταστροφικό για αποτελ. υπολογισμού αν δεν ανιχνευθούν

# DRAM chips for DIMM: προτιμάμε «στενά»

Παράδειγμα: Μνήμη 8 GBytes από 8 chips των 8 Gbits ea.

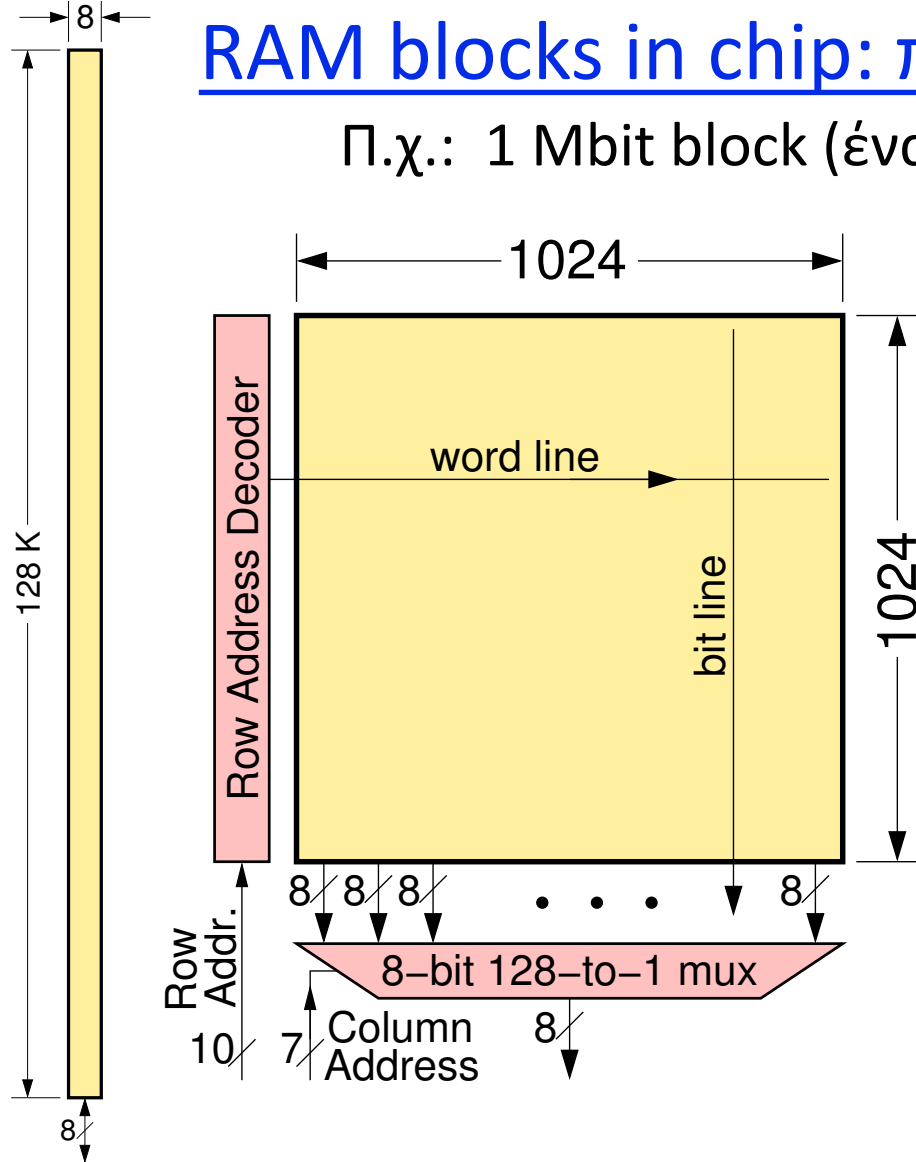
– Οργάνωση Μνήμης: 1 Gword  $\times$  64 bits (8 Bytes) per word

- Κατακόρ. Οργάνωση:  $128 \text{ Mw} \times 64 \text{ b/w} = 8 \text{ Gb per chip}$ 
  - 64 data pins/chip: πολύς χώρος, ενέργεια, χωρητικότητα/σύρμα
- Οριζόντ. Οργάνωση:  $1 \text{ Gw} \times 8 \text{ b/w} = 8 \text{ Gb per chip}$ 
  - μόνον 8 data pins/chip: οικονομία εμβαδού, χωρητ., ενέργειας



# RAM blocks in chip: προτιμάμε τετραγωνισμένα

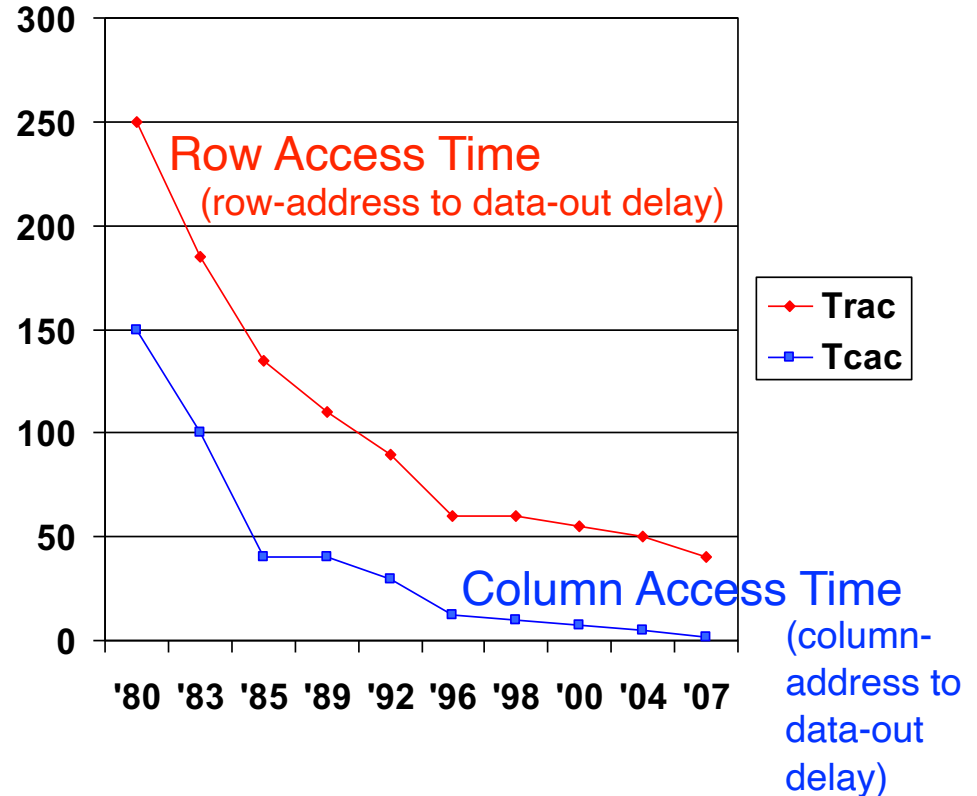
Π.χ.: 1 Mbit block (ένα από πολλά στο chip), για 8-bit off-chip bus



- Όχι «Ψηλόλιγνο»:
  - τεράστια χωρητικότητα ανά bit line
- Θέλουμε «τετραγωνισμένο»:
  - λογικό μήκος, άρα χωρητικότητα, ανά οριζόντιο & κατακόρ. σύρμα
  - Bit line: πολυπλέκτης μεταξύ γραμμών (rows), ελεγχόμενος από MS Address bits (Row Address)
  - Column Mux w. LS Addr. bit decoder
  - Η μεγάλη καθυστέρηση είναι από Row Addr. έως Bit lines και τους ενισχυτές (sense amp.) στις άκρες τους
  - Πολύ γρηγορότερος ο Column Mux: άλλη κολώνα σε ίδια γραμμή (π.χ. sequential acc.) πολύ γρήγορα!

# DRAM Generations

Year	Capacity	\$/GB
1980	64Kbit	\$1500000
1983	256Kbit	\$500000
1985	1Mbit	\$200000
1989	4Mbit	\$50000
1992	16Mbit	\$15000
1996	64Mbit	\$10000
1998	128Mbit	\$4000
2000	256Mbit	\$1000
2004	512Mbit	\$250
2007	1Gbit	\$50

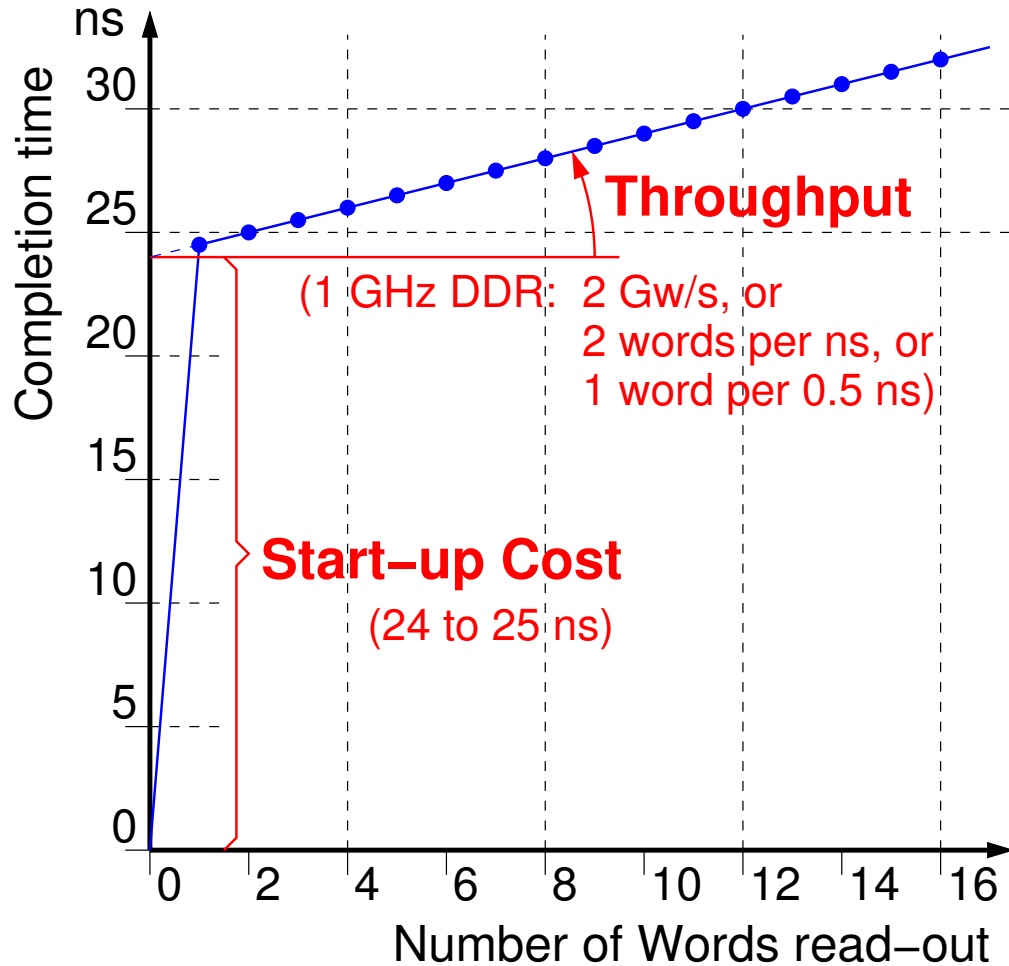


# Double Data Rate (DDR) Synchronous DRAM (SDRAM)

Δύο χωριστές διαδικασίες:

- Open new Row (νέα διεύθυνση γραμμής):
  - Precharge, activate word line, drive bit lines, sense amplifier
  - Μακρά διαδικασία: 20 έως 50 ns
- Transfer Data to (read) / from (write) the Processor:
  - Λέξεις από ίδια γραμμή άμεσα διαθέσιμες από sense amplifiers
  - Όσο γρήγορα μπορούν τα data pins να τις μεταφέρουν, χρησιμοποιώντας εξωτερικό ρολόϊ – Synchronous to ext. clock – SDRAM
  - Μία επόμενη λέξη (π.χ. 8 bits) ανά ακμή ρολογιού, και ανερχόμενη και κατερχόμενη – Double Data Rate (DDR)
  - Π.χ. 1 GHz clock, 8 data pins  $\Rightarrow$  8 bits / 0.5 ns =  $8 \times 2 = 16$  Gbits/s

# Κόστος Εκκίνησης – Παροχή (Οικονομία Κλίμακας)



## Παράδειγμα DRAM:

- σημαντικό κόστος εκκίνησης
- πολύ μικρό κόστος για γειτονικές λέξεις από ίδια γραμμή

## Παράδειγμα Pipeline:

- κόστος εκκίνησης = 4
- Παροχή (ρυθμός ολοκλήρωσης) = 1 εντολή/κύκλο ρολ.

⇒ Απόσβεση Κόστους μέσω αύξησης του μεγέθους block της εργασίας

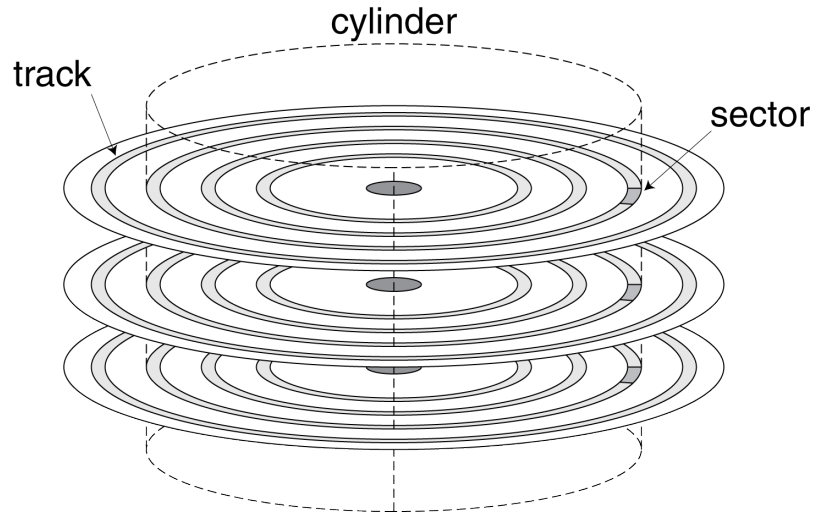


# Ομοίως και τα Δίκτυα και οι γρήγορες Αρτηρίες

- Παράδειγμα: Οπτική ίνα 2 km, 100 Gbits/s
  - Ταχ. φωτός (διηλεκτρ.)  $\approx 200 \text{ Mm/s} \Rightarrow t_d$  πρώτου bit  $\approx 10 \mu\text{s}$
  - Παροχή = 100 Gb/s  $\approx 10 \text{ GBy/s} = 10 \text{ By/ns} = 1 \text{ By ανά } 0.1 \text{ ns}$ 
    - απλοποιητική παραδοχή: 8b/10b line encoding (σήμερα: 64b/66b)
- Παράδειγμα: Αρτηρία σαν PCIe (x1), 20 cm, 25 Gb/s
  - $t_d$  πρώτου bit @ 200 Mm/s  $\approx 1 \text{ ns}$
  - Παροχή  $\approx 2.5 \text{ GBy/s} = 2.5 \text{ By/ns} = 1 \text{ By} / 0.4 \text{ ns}$  (απλοπ.: old encoding)
  - Εάν Packet Header = 12 Bytes (διευθύνσεις, format, size, κλπ.)  $\Rightarrow t_d$  πρώτου data (“payload”) Byte = 1 (xmit del.) + 4.8 (hdr)  $\approx 6 \text{ ns}$
  - Εάν 64 By payload  $\Rightarrow 6$  (startup cost) + 26 (payload) = 32 ns total
  - Εάν 4 KBy payload  $\Rightarrow 6$  (startup) + 1640 (payload)  $\approx 1.65 \mu\text{s}$  total

# Disk Storage

- Nonvolatile, rotating magnetic storage

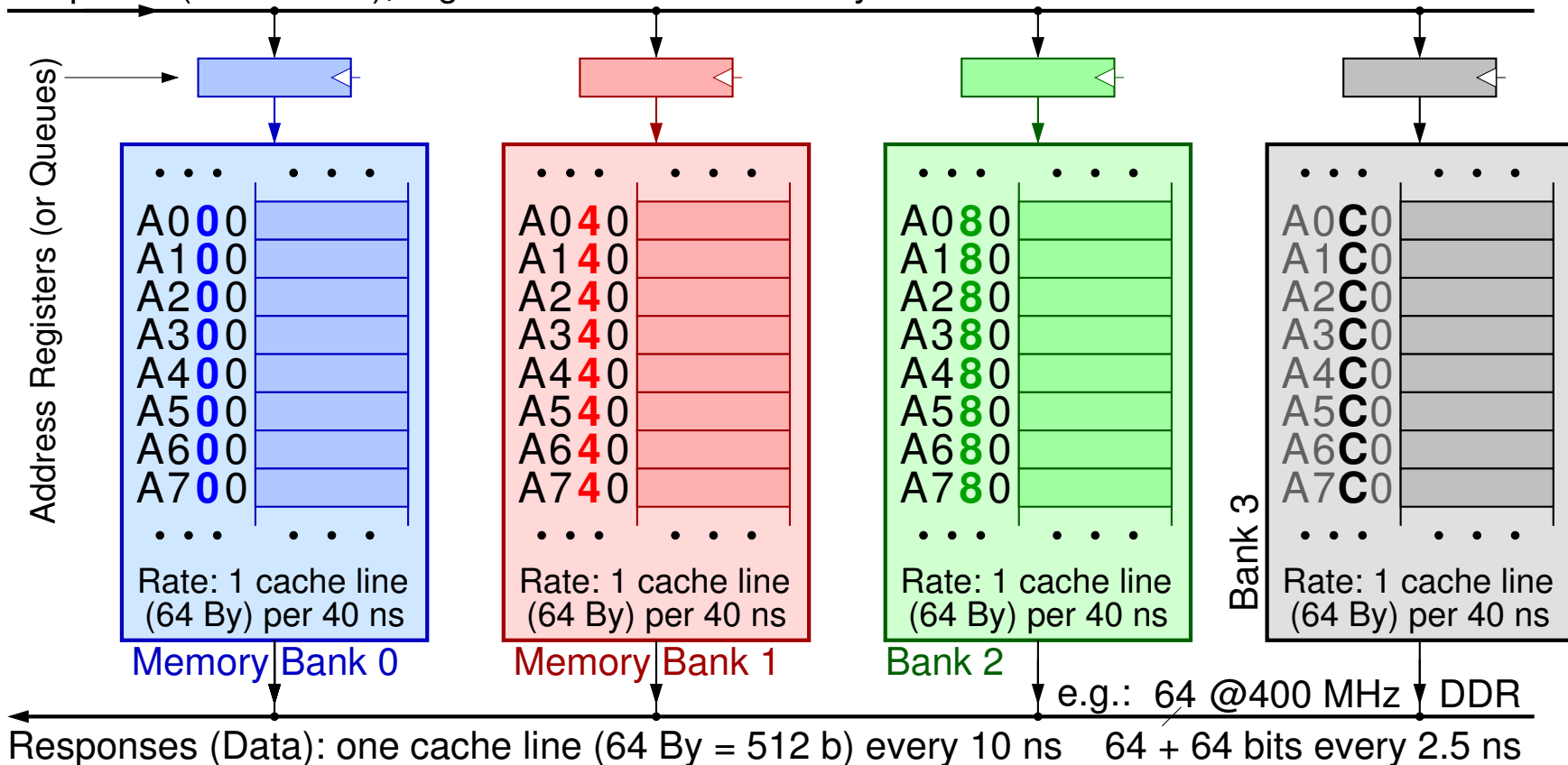


# Παράδειγμα Δίσκου: Χρόνος Εκκίνησης, Παροχή

- Seek Time (κίνηση βραχίονα) – π.χ. 4 ms
- Rotational Latency (αναμονή περιστροφής)
  - π.χ. @ 12000 RPM = 200 περιστρ./s  $\Rightarrow$  μ.ο. μισή περιστρ. = 2.5 ms
- Παροχή π.χ. 100 MBy/s
  - για 4 KBytes:  $4 \text{ KBy} / 100 \text{ MBy/s} = 0.04 \text{ ms} \Rightarrow 6.54 \text{ ms total (μ.ο.)}$
  - για 64 KBytes:  $64 \text{ KBy} / 100 \text{ MBy/s} = 0.64 \text{ ms} \Rightarrow 7.14 \text{ ms total (μ.ο.)}$
  - για 2 MBytes:  $2 \text{ MBy} / 100 \text{ MBy/s} = 2 \text{ ms} \Rightarrow 8.5 \text{ ms total (μ.ο.)}$
- Όλα αυτά εάν το αίτημά μου είναι το μόνο προς τον δίσκο
  - συνήθως εκκρεμούν πολλές αιτήσεις, και το Λειτουργικό Σύστημα (ή ο disk controller) τα χρονοδρομολογών σορταρισμένα κατά κύλινδρο (disk scheduling)

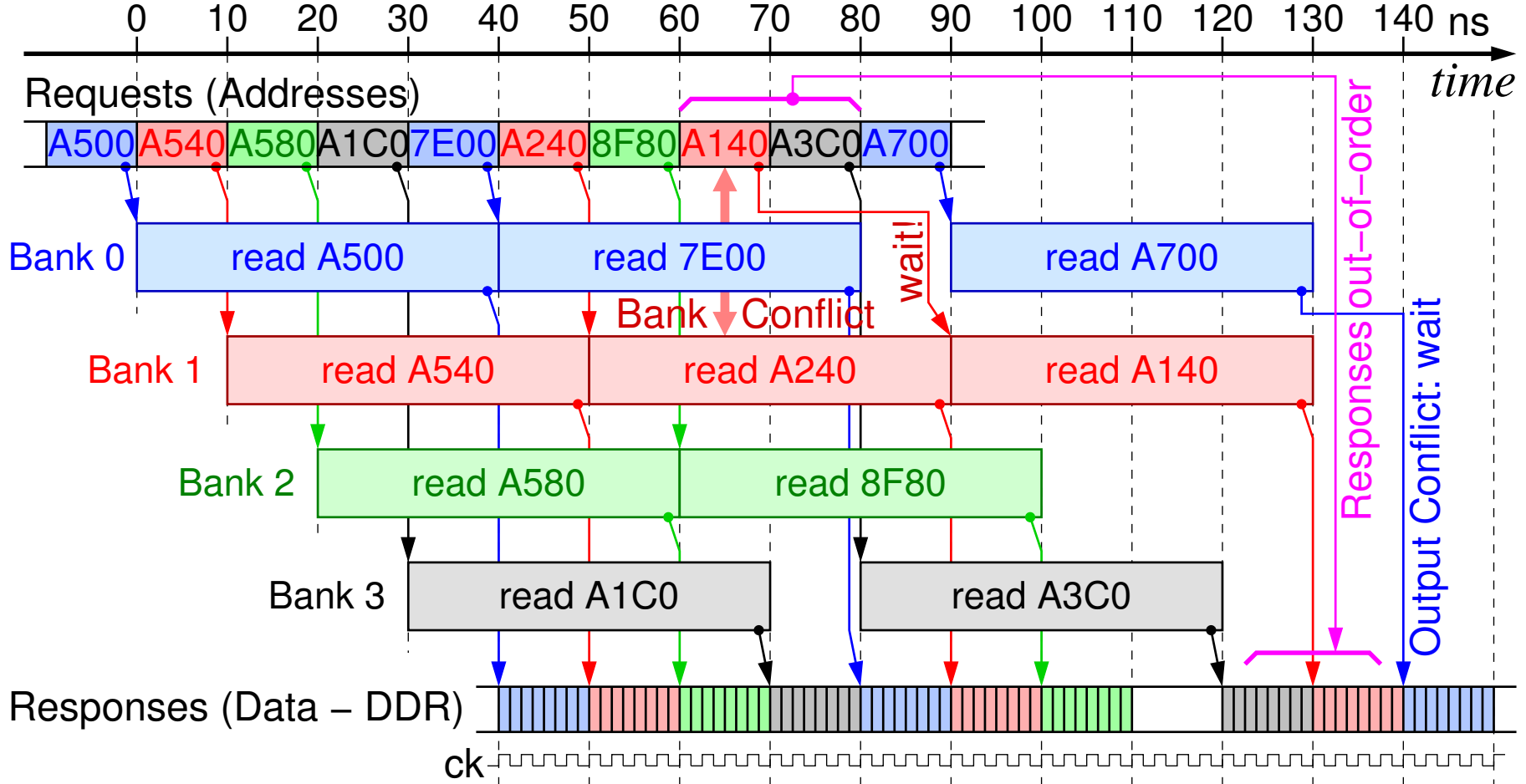
# Παραλληλισμός Μνήμης: Διαφύλλωση (Interleaving)

Requests (Addresses), e.g. at the rate of one every 10 ns



Πολλαπλές μνήμες σε παράλληλη λειτουργία, διασπορά δεδομένων μεταξύ τους

# Χρονισμός Διαφύλλωσης, Στατιστικά Bank Conflicts



## Εσωτερική Διαφύλλωση στα DRAM chips

- Εκατοντάδες ή χιλιάδες RAM blocks σε κάθε DRAM chip
- Οργανωμένα σε πολλά (π.χ. 16) διαφυλλωμένα Banks
- Π.χ. 8 Gbit chip = 1G × 8, ρολοί 1600 MHz, DDR:
  - Περίοδος ρολ.=  $1\text{ns}/1.6 = 625\text{ps} \Rightarrow 8 \text{ data bits / chip / } 312\text{ps}$
  - Εάν 8 chips/DIMM  $\Rightarrow 64 \text{ data bits / DIMM / } 312 \text{ ps}$
  - Κάθε προσπέλαση σε ένα bank του κάθε chip ζητά 1 cache line των 64 Bytes = 512 bits, άρα απασχολεί 8 φορές επαναληπτικά τα 64 data pins του DIMM, επί χρονικό διάστ.  $8 \times 312\text{ps} = 2.5 \text{ ns}$
  - Όσο περιμένουμε row-open & precharge ενός bank (π.χ. 50ns), τα data pins εξυπηρετούν άλλες προσπελάσεις σε άλλα banks.

# Διασπορά Δεδομένων, Στατιστική Επίδ. Διαφύλλωσης

- Μονάδα προσπ. κεντρ. μνήμης = 1 cache line (όχι word)
  - π.χ. 64 B<sub>y</sub> = 512 b, όλα γειτονικά, same row in each DIMM chip
- Διαδοχικά αιτήματα, για διάφορες cache lines, ελπίζουμε να προσπελάζουν διαφορετικά banks, για παραλληλισμό
  - συχνά ημιτυχαίες διευθύνσεις cache misses, π.χ. από άλλα cores
- Για καλή στατιστ. επίδοση (avoid bank conflicts), θέλουμε: Πλήθος Banks > (bank access period) / (new requ. period)
- Συνήθης διασπορά δεδομένων:  
συνεχόμενες cache lines σε διαφορετικά banks
  - ούτως ώστε: sequential array access misses ⇒ no bank conflicts

# “Split-Transaction” Buses / Networks-on-Chip (NoC’s)

- Παλαιά memory buses: πρώτα διεύθυνση, μετά περιμέναν την απάντηση (data) πριν επιτρέψουν νέα προσπ.
- Η Διαφύλλωση απαιτεί νέα οργάνωση
  - ιδιαίτερα με πολυπύρηνους και εξέλιξη buses σε networks-on-chip
- “*Split Transaction*”: Χωριστά αίτηση, χωριστά απάντηση, ούτως ώστε να μεσολαβούν και άλλες «δοσοληψίες»
- Ειδικά λόγω bank conflicts / out-of-order responses, πρέπει η κάθε αίτηση να ορίζει το ID της, και η κάθε απάντηση να περιλαμβάνει το ID της αίτησης στην οποία απαντά (και ο επεξεργαστής να τις σορτάρει)