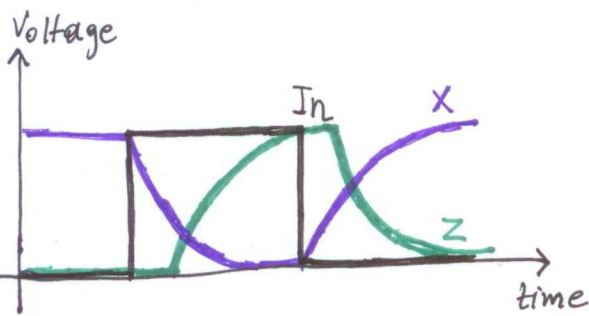
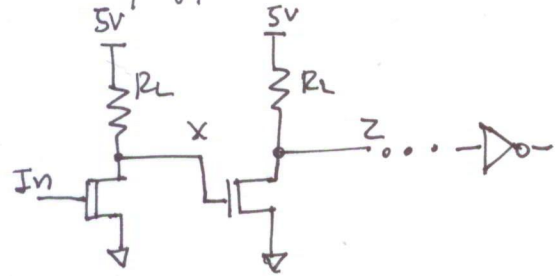


Καθυστερήση λογικών πηλών

Παρατηρώντας τα βήματα στην έξοδο των λογικών πηλών που παραβιευάζονται στην πραγματικότητα, βλέπουμε κυματομορφές, οι οποίες μοιάζουν με τη

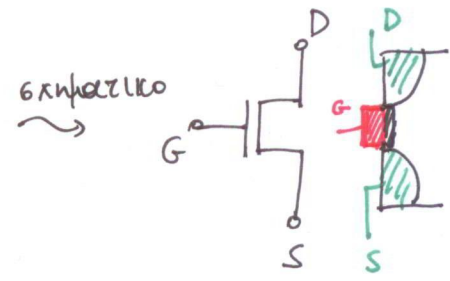
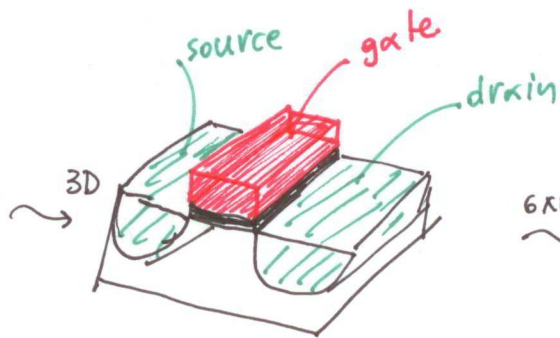
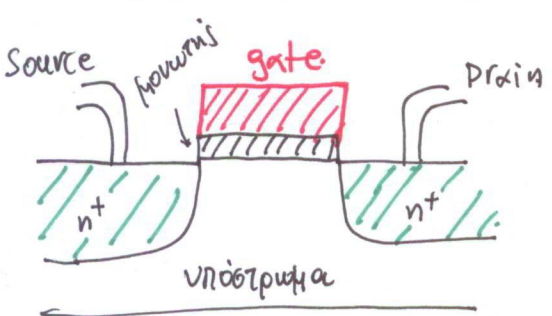


εξιδιαιτεγέ βωαρητέαυ που μεφεημίβαττ βωα δίκωα RC . Αυτή η βωαπεφίβωρα οδωεί άμεβα βω βωαπεφίβωρα, πωα υπάρωα κάρωα ωαρητεκώττω βω κώτλωμα, ττω οτωά τω μωυέτα που μέκρη τάρω γνωρίβωμτ δέν τωα πεφίλαβωίωυν. Επίτω, αυτόμωα γέννωττω τω πρόβλωμα πωα οτ μεραβώβωυ μετάρω τω λογικω-1 η 0 δέν βωαβωίωυν πτω ακαρηκώα, αλλώ έαρκωυν κάρωο βωατεκρωμένο ωρωκω

δωαδωτωμα εβαίωτωα μωα καθωστέρηβω βωα δωαδωβω τωα βήματων από ττω ετωδω τω κώτλωματω βωα έτωδω τωα.

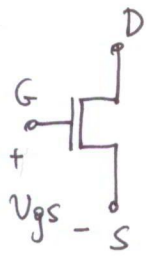
Η ωαρητεκώττω η οτωά ηρωατάρω αυτώ τω καθωστέρηβωυ οφείλωα βωα δωμώ και βωα έτω λτωωρηκώ τωα τρανζίστωρ και εμφανίβωα μετάρω τω ακρωδείτωα βωατε και source.

Φωσικώ δωμώ τωα τρανζίστωρ

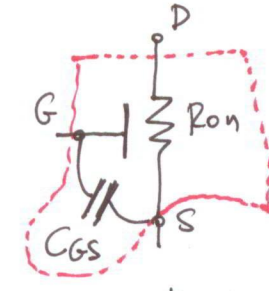


Έτω οωβιαβτωκώ μωα να καθωφέρει η τώβω V_{GS} τωα τρανζίστωρ, που ελέγωεττω έτω λτωωρηκώ, να υπερβώ τω καθώρωττω τωα τρανζίστωρ αυτό βω ετωάγωμω πωα η ωαρητεκώττω C_{GS} που οδωκώττωα από τω προηγούμωο κώτλωμα έωαε φορηβτωέ βωα δητώμωα τωα.

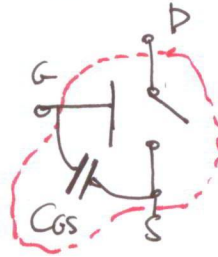
Έτσι, για να μπορέσουμε να συμπεριλάβουμε στην ανάλυσή μας τη δύσκολη που είναι η φυσική δομή του τρανζίστορ στην ανάλυσή μας της τάσης v_{GS} από το κύκλωμα οδηγό, πρέπει να επαυξηθούμε το μοντέλο του τρανζίστορ με τη χωρητικότητα C_{GS} . Το επαυξημένο μοντέλο έχει ως εξής:



$A_v \quad v_{GS} \gg V_T$



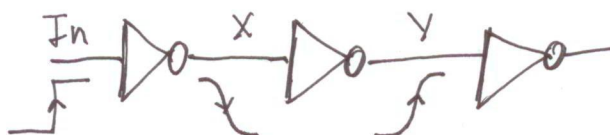
$A_v \quad v_{GS} < V_T$



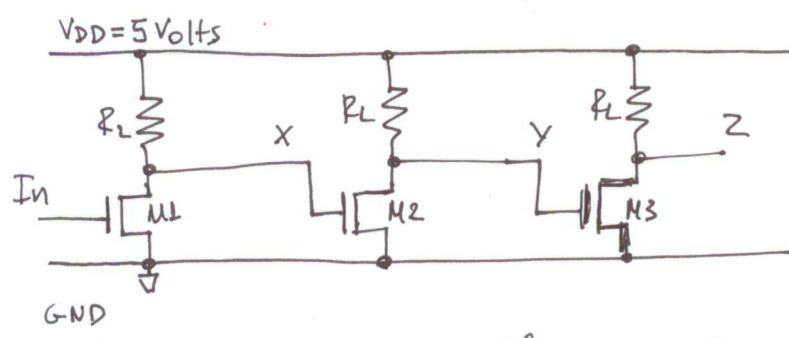
Στο απλοποιημένο μοντέλο που χρησιμοποιούμε η χωρητικότητα C_{GS} υπάρχει είτε το τρανζίστορ είναι ανοιχτό είτε είναι κλειστό και η τιμή της είναι σταθερή και ανεξάρτητη από τη τάση που εμφανίζεται στους ακροδέκτες του τρανζίστορ (φυσικά κάτι τέτοιο δεν ισχύει στην πραγματικότητα όμως για πρακτικά προβλήματα ψηφιακή σχεδίαση ή απλοποίηση αυτή είναι επαρκής).

* Πρέπει να τονίσουμε πως η παρουσία της χωρητικότητας C_{GS} στο μοντέλο μας μας χρησιμεύει όταν θέλουμε να μελετήσουμε τα μεταβατικά φαινόμενα των κυκλωμάτων ή να υπολογίσουμε τη μικρότερη καθυστέρηση. Δεν επηρεάζουν καθόλου τις τελικές τιμές των τάσεων ή τα όρια V_{OH} , V_{OL} , V_{IH} , V_{IL} καθώς για σταθερή (DC) τιμή των τάσεων ο πυκνωτής συμπεριφέρεται σαν ανοιχτό κύκλωμα. Για την DC ανάλυση λοιπόν ο πυκνωτής C_{GS} μπορεί απλά να αγνοηθεί *

Στη συνέχεια θα δούμε πως μπορούμε να μελετήσουμε τη καθυστέρηση των λογικών πύλων και από ποιες παραμέτρους αυτή εξαρτάται. Θα χρησιμοποιήσουμε αρχικά το εξής από κύκλωμα λογικών πύλων

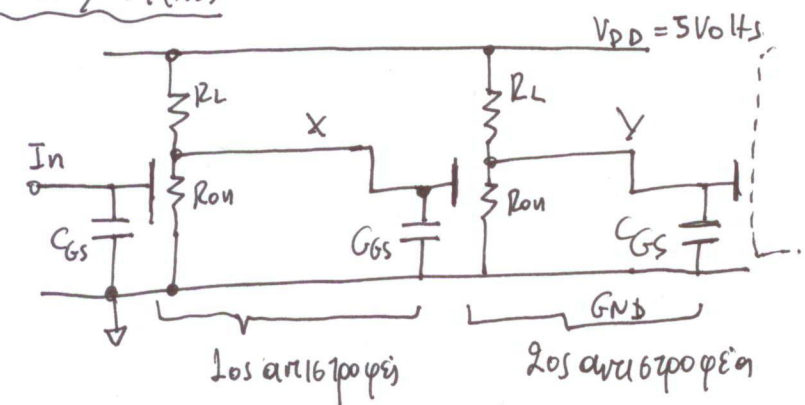


Η είσοδος I_n είναι ένας παλμός από 0 σε V_{DD} Volts. Επομένως για τον 1ο ημί κύκλο αντιστροφή το V_{GS} είναι μεγαλύτερο του κατωφλίου $V_T \approx 1V$ με αποτέλεσμα το τρανζίστορ να είναι ανοικτό προπατώντας να φέρει τον κόμβο X στο λογικό-0. Ο κόμβος X συνδέεται με το gate του τρανζίστορ M_2 . Αυτό έχει ως αποτέλεσμα στον κόμβο X να συνδέεται μια χωρητικότητα C_{GS} . Η τάση στα άκρα του πυκνωτή αυτού είναι η τάση V_{GS} που ελέγχει τη λειτουργία του τρανζίστορ M_2 και κατ'επέκταση του 2ου αντιστροφέα. Όταν η είσοδος I_n ήταν στο λογικό-0 ο κόμβος X είχε διαφοραποιηθεί στα 5Volts με άνοιγμα το τρανζίστορ M_2 να είναι ανοικτό. Με την εκφόρτιση του πυκνωτή C_{GS} μέσω του 1ου αντιστροφέα η τάση $V_x = V_{GS}(z)$ θα μειώνεται εκθετικά. Όταν $V_x < V_T(M_2)$ τότε το τρανζίστορ M_2 θα κλείσει αφήνοντας τον κόμβο Y να φορτιστεί ($C_{GS}(M_3)$) μέσω της αντίστασης R_L του 2ου αντιστροφέα. Ουσιαστικά το κοινό ισοδύναμο μοντέλο του αντιστροφέα 1 & 2 ανάλογα με την τιμή της τάσης V_x φαίνεται παρακάτω: (πρόκειται για χωριστά η ανεξάρτητα RC δίκτυα. Απλά το μοντέλο που θα διαλέξουμε για το τρανζίστορ M_2 εξαρτάται από την τάση στον πυκνωτή C_{GS} που οδηγεί το πρώτο RC δίκτυο)

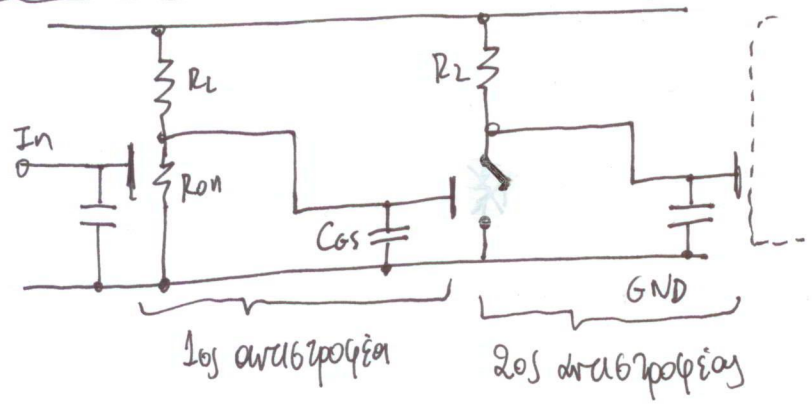


ανοικτό προπατώντας να φέρει τον κόμβο X στο λογικό-0. Ο κόμβος X συνδέεται με το gate του τρανζίστορ M_2 . Αυτό έχει ως αποτέλεσμα στον κόμβο X να συνδέεται μια χωρητικότητα C_{GS} . Η τάση στα άκρα του πυκνωτή αυτού είναι η τάση V_{GS} που ελέγχει τη λειτουργία του τρανζίστορ M_2 και κατ'επέκταση του 2ου αντιστροφέα. Όταν η είσοδος I_n ήταν στο λογικό-0 ο κόμβος X είχε διαφοραποιηθεί στα 5Volts με άνοιγμα το τρανζίστορ M_2 να είναι ανοικτό. Με την εκφόρτιση του πυκνωτή C_{GS} μέσω του 1ου αντιστροφέα η τάση $V_x = V_{GS}(z)$ θα μειώνεται εκθετικά. Όταν $V_x < V_T(M_2)$ τότε το τρανζίστορ M_2 θα κλείσει αφήνοντας τον κόμβο Y να φορτιστεί ($C_{GS}(M_3)$) μέσω της αντίστασης R_L του 2ου αντιστροφέα. Ουσιαστικά το κοινό ισοδύναμο μοντέλο του αντιστροφέα 1 & 2 ανάλογα με την τιμή της τάσης V_x φαίνεται παρακάτω: (πρόκειται για χωριστά η ανεξάρτητα RC δίκτυα. Απλά το μοντέλο που θα διαλέξουμε για το τρανζίστορ M_2 εξαρτάται από την τάση στον πυκνωτή C_{GS} που οδηγεί το πρώτο RC δίκτυο)

Δ Όσο $V_x > V_T(M_2)$

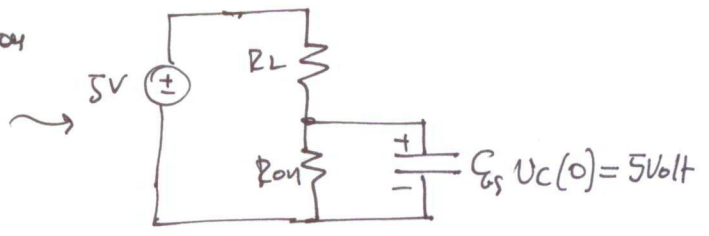
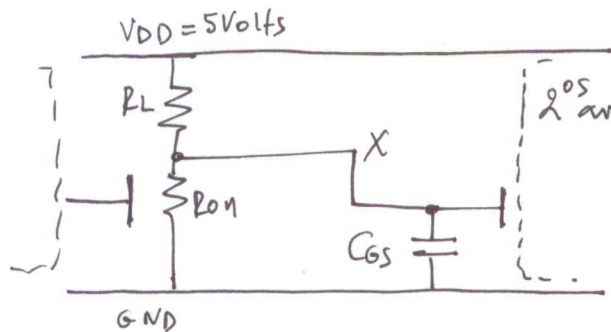


Δ Όσο $V_x < V_T(M_2)$



* Ουβιαστική ερώτηση ο ακροδέκτης G δε συνδέεται με το Drain η το Source το 160νύαμο κύκλωμα για την καθυστέρηση του 1ου αντιστροφέα είναι ανεξάρτητο από το αντίστοιχο 160νύαμο κύκλωμα για το δεύτερο αντιστροφέα.

⊙ Καθυστέρηση του αντιστροφέα για μεταβολή In από 0 → 1.



Αναμένουμε την αποφόρτιση του πυκνωτή όσο πιο κοντά στα 0 Volt ώστε να απαιτηθεί η αβεβαιότητα το λογικό-0.

Σύμφωνα με την ανάλυση που γνωρίζουμε θα έχουμε $V_X = V_{GS} = (V_C(0^+) - V_C(t \rightarrow \infty)) e^{-\frac{t}{\tau}} + V_C(t \rightarrow \infty)$

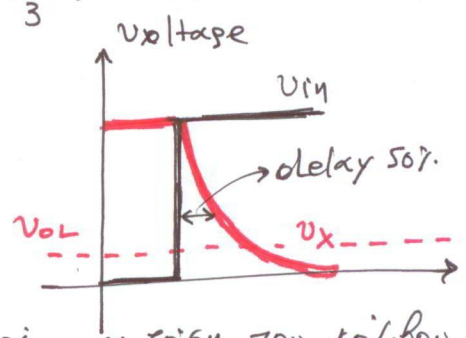
$$V_{GS}(0^+) = 5 \text{ Volt}$$

$$V_{GS}(t \rightarrow \infty) = \frac{R_{on}}{R_{on} + R_L} \cdot V_{DD} \Rightarrow V_{GS}(t \rightarrow \infty) = \frac{1}{3} V = 0.33 V$$

$$R_{on} = 1 \text{ k}\Omega$$

$$R_L = 14 \text{ k}\Omega$$

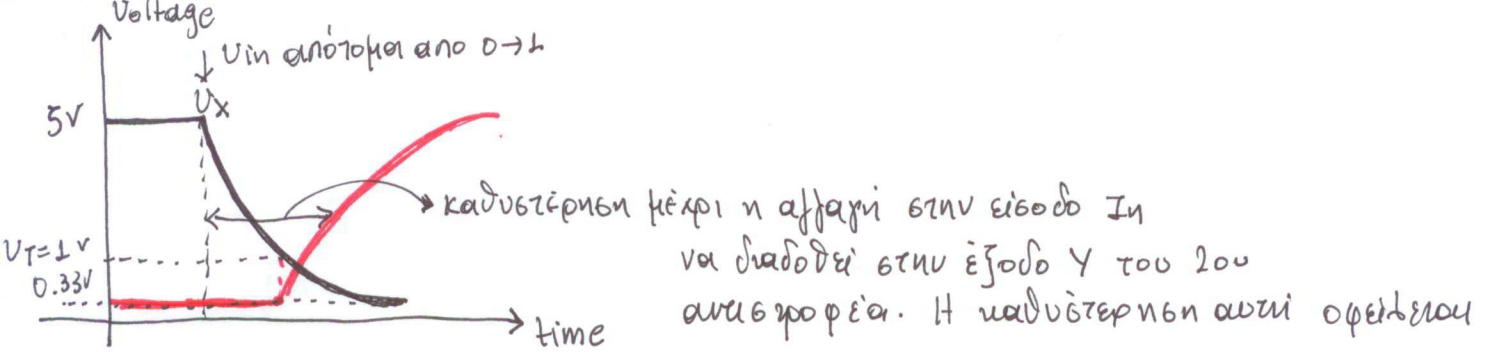
$$\tau = (R_L // R_{on}) \cdot C_{GS} =$$



Για να ηυθεί πως η είσοδος του 1ου αντιστροφέα έχει υπολογιστεί στο λογικό-0 πρέπει η τάση του κόμβου είσοδος V_X να είναι μικρότερη του περιόριστου V_{OL} . Δηλαδή πρέπει να υπολογιστεί το χρόνο που $V_X < V_{OL}$. Από τις καθυστερήσεις των RC δικτύων προκύπτει

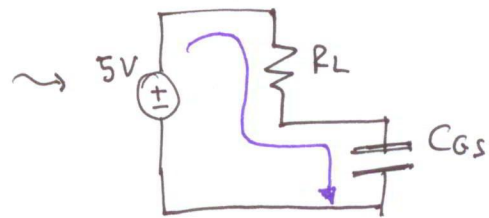
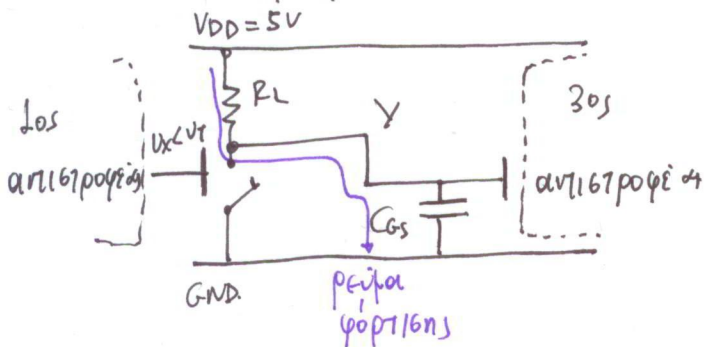
$$t_{eval} = (R_L // R_{on}) C_{GS} \cdot \ln \left[\frac{V_{DD} \cdot R_L / (R_{on} + R_L)}{V_{OL} - V_{DD} \frac{R_{on}}{R_{on} + R_L}} \right]$$

Επίσης μας απασχολεί μια χρονική στιγμή ο 2ος αντιστροφέας θα θεωρηθεί πως στην είσοδο του βρίσκεται ένα νέο λογικό-0. Στη γενική περίπτωση αυτό συμβαίνει όταν $V_X < V_{IL}$ (ουβιαστικά δε αυτόν τον αντιστροφέα $V_{IL} \approx V_T$ του τρανζίστορ M_2). Μόνο όταν $V_X < V_{IL}$ ο 2ος αντιστροφέας θα αρχίσει του νέο υπολογιστό οδηγώντας σταδιακά την είσοδο του γ στο V_{DD} .



σε 2 παράγοντες.

- * Το θήμα X καθυστερεί να πάρει μια τιμή $< U_T$ ώστε ο 2ος αντιστροφείος να αλλάξει κατάσταση
- * Το θήμα Y καθυστερεί να λάβει την τελική του τιμή 'λογικό-1' εξαιτίας του RC δικτύου που σχηματίζεται με την αντίσταση R_L του 2ου αντιστροφείου και της χωρητικότητας C_{GS} που υπάρχει στην είσοδο του 3ου αντιστροφείου.



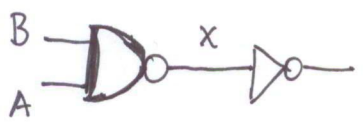
Ισοδύναμο κύκλωμα για την καθυστέρηση υποφόρτισης του λογικού-1 του 2ου αντιστροφείου (Ισχύει εφόσον η είσοδος U_X έχει λάβει τιμή μικρότερη του $U_{SF}(M_2)$)

Η καθυστέρηση μιας γενικής πύλης εξαρτάται από

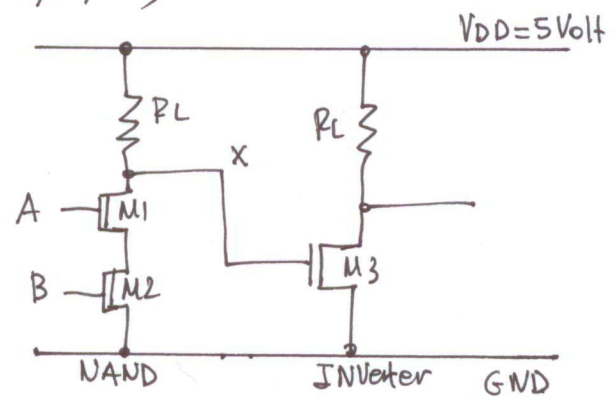
- ▴ Την χωρητικότητα που οδηγεί. Όσο πιο μεγάλη η χωρητικότητα τόσο πιο μεγάλη η σταθερά χρόνου του ισοδύναμου RC δικτύου και επομένως τόσο αργότερ οι τάσεις να λάβουν τις τελικές τους τιμές είτε λογικό-0 είτε λογικό-1
- ▴ Από τη δομή της πύλης
- ▴ Από τις τιμές των εισόδων της πύλης

Τις δύο τελευταίες παραμέτρους θα τις μελετήσουμε με τα παραδείγματα που ακολουθούν.

Πόσο χρόνο απαιτεί η έξοδος της πύλης NAND να υποβιβεί το λογικό-1 ή το λογικό 0, όταν οδηγεί έναν αντιπροφέα;



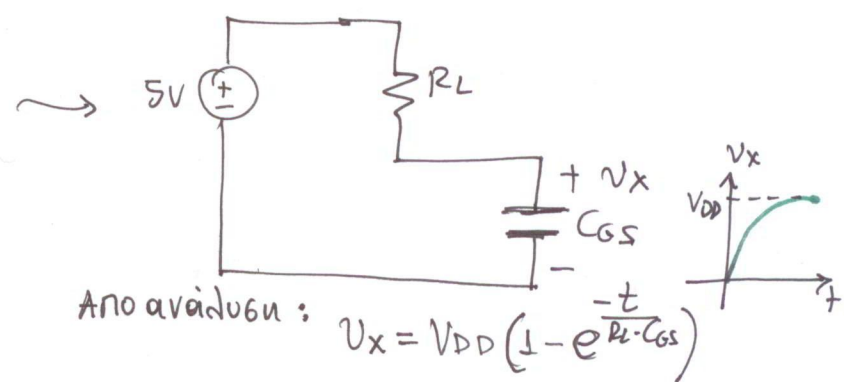
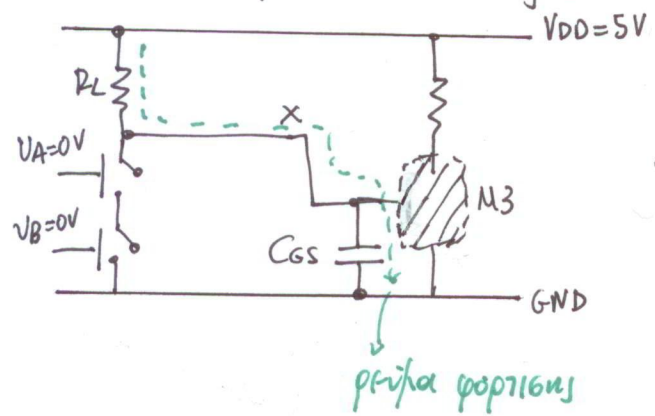
Λογική αναπαράσταση



Κυκλωματική αναπαράσταση

Έξοδος X μεταβαίνει στο λογικό-1

Αρχικά η τιμή του X έβγαζε ότι ήταν στα 5V (καίως υψηλότερα στην πραγματικότητα) > δέχουμε να μεταβεί στο λογικό-1. Για να συμβεί αυτό πρέπει τουλάχιστον μία είσοδος να είναι στο λογικό-0. Ας υποθέσουμε ότι είναι και οι δύο και να αλληλίσκω και στην ανάλυσή μας. Τότε το ισοδύναμο RC μοντέλο για την καθυστέρηση είναι ως εξής:



Από ανάλυση: $V_x = V_{DD} \left(1 - e^{-\frac{t}{R_L \cdot C_{GS}}}\right)$

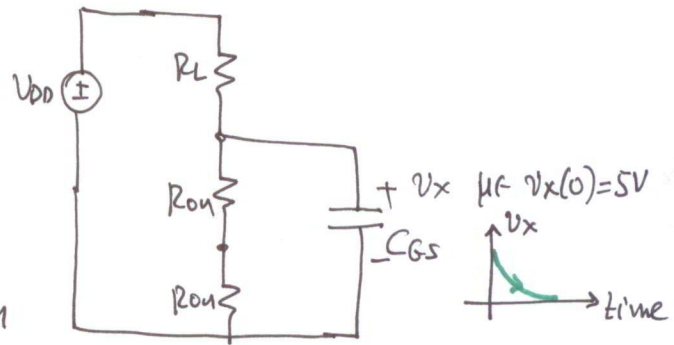
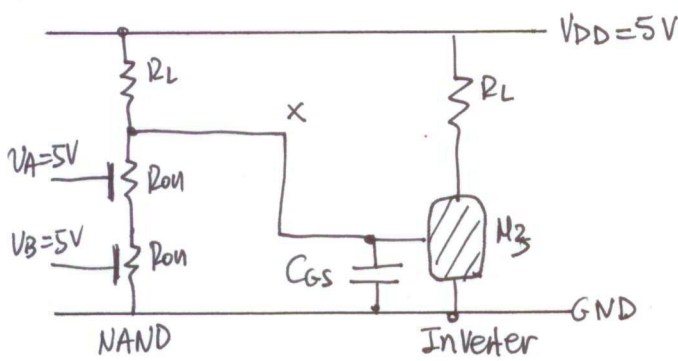
Για να αναπαριστά η V_x το λογικό-1 της πύλης NAND πρέπει $V_x \gg V_{OH}$

Διότι $V_{DD} \cdot \left(1 - e^{-\frac{t}{R_L \cdot C_{GS}}}\right) \gg V_{OH} \Rightarrow t \gg \underbrace{R_L \cdot C_{GS}}_{\text{σταθερά χρόνου } \tau} \ln\left(1 - \frac{V_{OH}}{V_{DD}}\right)$

Όσο > ενός αντιπροφέα που οδηγεί έναν είδη.

Έξοδος X μεταβαίνει στο λογικό-0

Αρχικά η τιμή του X στα V_{DD} πριν μεταβεί στο λογικό-0. Για να συμβεί αυτό πρέπει και το A και το B να είναι στο λογικό-0 ώστε τα τρανζίστορ M_1 και M_2 να είναι και τα δύο ανοικτά. Το ισοδύναμο μοντέλο για την υποβίβαση της καθυστέρησης "καθόδου" της NAND πύλης είναι το εξής:



Η σταθερά χρόνου του κυκλώματος στην περίπτωση

κάθοδου του X είναι $\tau = (R_L // 2R_{on}) \cdot C_{GS}$. Η τελική τάση $V_x(t \rightarrow \infty) = \frac{2R_{on}}{2R_{on} + R_L} \cdot V_{DD}$

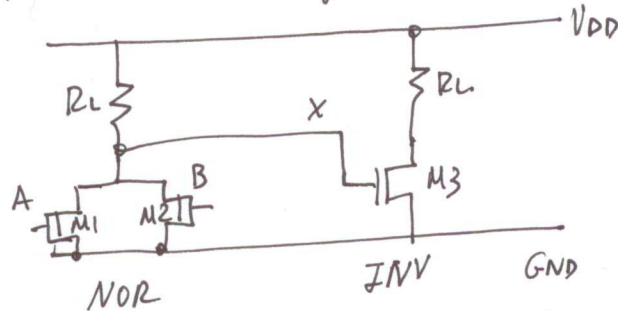
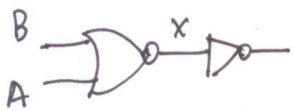
Επομένως η τάση V_x για τη διάρκεια της μετάβασης είναι

$$V_x = \left(5 - \frac{2R_{on}}{2R_{on} + R_L} \cdot V_{DD} \right) e^{-\frac{t}{\tau}} + \frac{2R_{on}}{2R_{on} + R_L} \cdot V_{DD}$$

Εμείς αναζητούμε το χρόνο που απαιτείται ώστε $V_x \leq V_{OL}$.

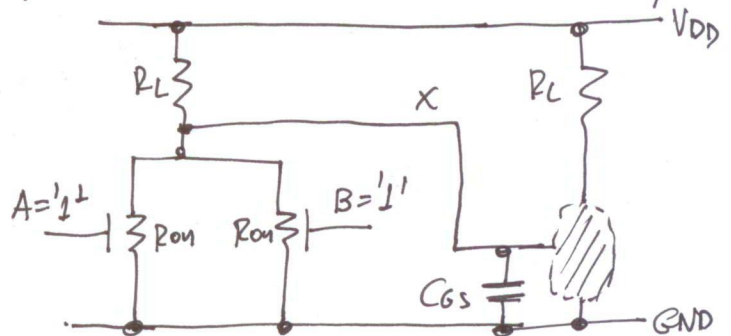
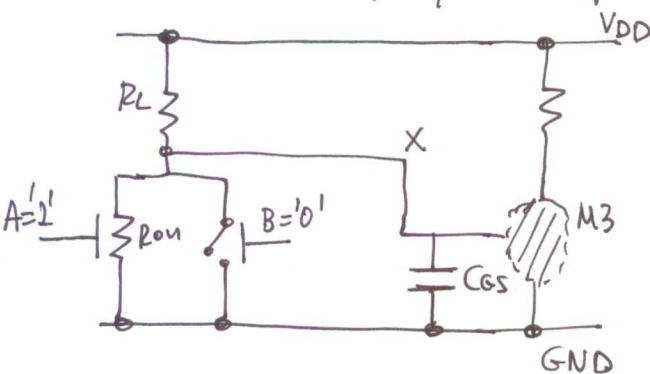
Ανάλυση της λογικής πύλης NOR

Ας υποθέσουμε και πάλι πως η πύλη NOR οδηγεί και αυτή ενώ αντικατοπτρίζει



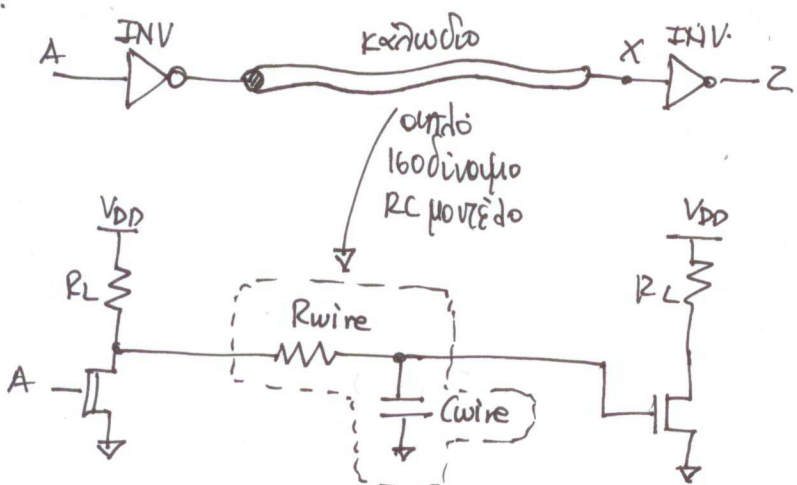
Α περίπτωση μετάβαση του κόμβου X από το λογικό 0 στο λογικό 1 είναι ίδια όπως στον αντικατοπτρέα. (Το ίδιο που διχο αλλαγές είναι η αρχική τιμή του κόμβου X στο λογικό 0. Αν όμως $R_L \gg R_{on}$ η διαφορά είναι ουσιωδώς αμελητέα).

Η καθυστέρηση μετάβαση του κόμβου X στο λογικό 0 ουσιωδώς περνά από τη δομή της πύλης εξαρτάται και από το συνδυασμό των εισόδων που προκαλεί τη μετάβαση. Ας δούμε δύο περιπτώσεις αν $A=1, B=0$ ή $A=1=B$. Τότε τα ισοδύναμα μοντέλα για τον υπολογισμό της καθυστέρησης είναι 2 αμφί:



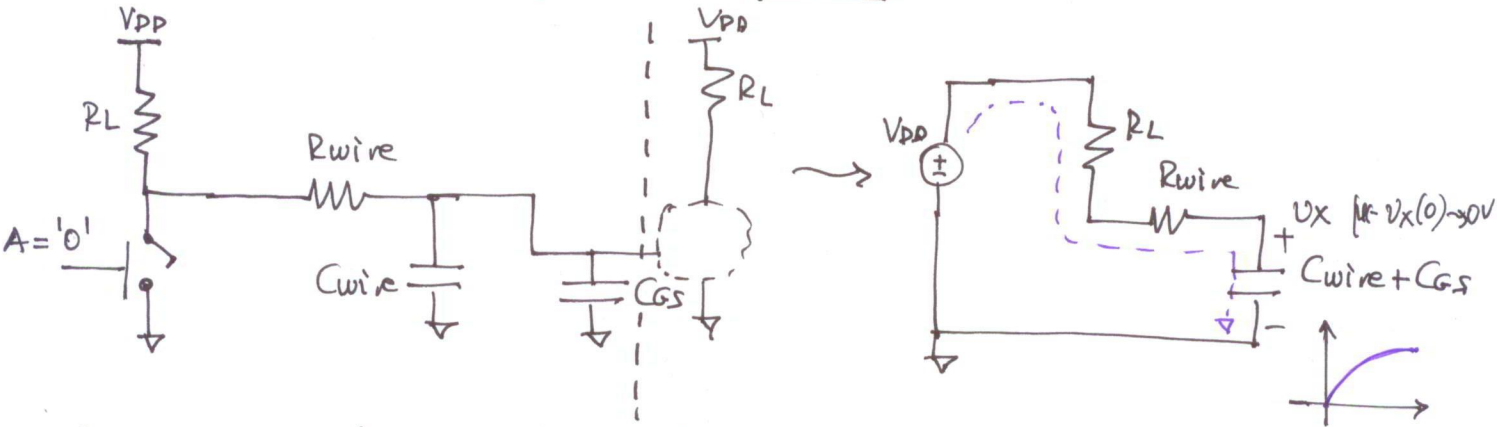
Στην περίπτωση που και τα δύο τρανζίστορ είναι ανοικτά $A=L, B=1$ αναμένουμε η έξοδος X να απαιτεί μικρότερη κατανάλωση ώστε να περάσει το όριο V_{OL} από τη στιγμή που μόνο το τρανζίστορ A είναι ανοικτό. Ο λόγος είναι ότι στη μια περίπτωση η σταθερά χρόνου είναι $\tau = (R_L // R_{on}) \cdot C_{GS}$ ενώ στην άλλη $\tau = (R_L // \frac{1}{2} R_{on}) \cdot C_{GS}$.

Η βελτιστοποίηση των καλωδίων
 Σε περίπτωση που οι πύλες συνδέονται μεταξύ τους με ένα καλώδιο μεγάλης μήκους, που εμφανίζει όχι αμελητέα αντίσταση και χωρητικότητα, τα χαρακτηριστικά του πρέπει να λαμβάνονται υπόψη κατά τον υπολογισμό της καθυστέρησης.
 Για παράδειγμα:

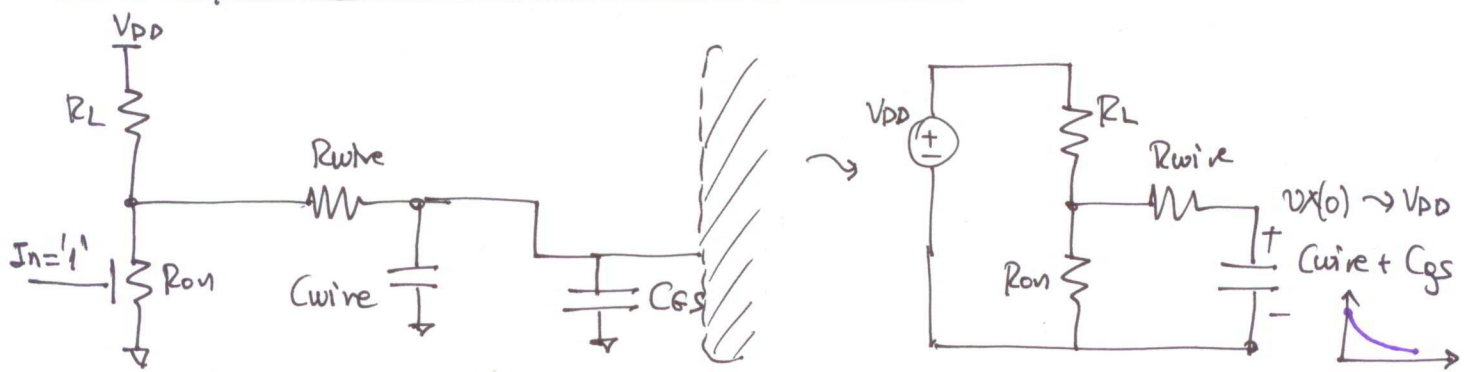


Στην περίπτωση αυτή τα ισοδύναμα μοντέλα για τον υπολογισμό της καθυστέρησης είναι τα εξής:

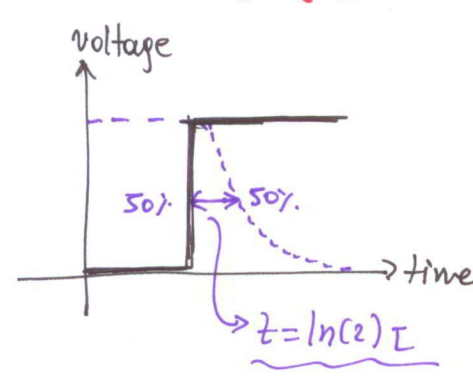
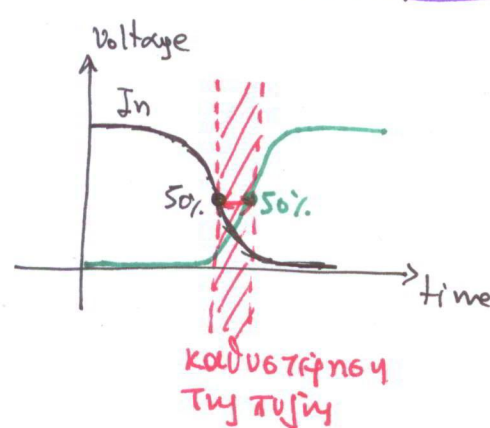
Όταν X μεταβαίνει από λογικό-0 σε λογικό-1



Όταν X μεταβαίνει από λογικό-1 σε λογικό-0



Στην περίπτωση που πωλεί πάλι βινδύεται η μια μεριά των άξων σε ένα μεγαλύτερο φησιακό κύκλωμα οι μεταβάσεις που παρατηρούμε στην έξοδο της μιας πύλης εξαρτώνται άμεσα από τη χρονική στιγμή που η είσοδος της πύλης ξεπερνάει τα όρια V_{IH} και V_{IL} . Ο χρόνος αυτός προκύπτει από την καθυστέρηση της εξόδου της προηγούμενης πύλης. Έτσι, συνολικά ο συνολικός χρόνος που απαιτείται για τη διάδοση των σημάτων σε μια αλυσίδα από πύλες είναι ίσος με το άθροισμα των καθυστερήσεων της κάθε πύλης. Γνωρίζουμε πως η έξοδος μιας πύλης ολοκληρώνει τη μετάβαση τη στιγμή που περνάει τα όρια V_{OH} και V_{OL} . Αντίστοιχα η επόμενη πύλη "αντιδρά" νωρίτερα αφού αρκεί να δει στην είσοδο της διαφορετικές δυναμικές μεγαλύτερες από V_{IH} ή μικρότερες από V_{IL} . Για το λόγο αυτό να για μην χρειάζονται συνεχώς να αναφερόμαστε στα όρια V_{OH} , V_{OL} καθώς και V_{IH} ή V_{IL} , ορίζουμε ως καθυστέρηση μιας λογικής πύλης το χρόνο που απαιτείται μέχρι που η έξοδος της πύλης να λάβει το 50% της τελικής τιμής από τη στιγμή που η είσοδος της πύλης λάβει το 50% της τελικής τιμής.



Γνωρίζουμε πως στην αυτή περίπτωση πώς όταν η είσοδος της πύλης μεταβαίνει από το 0 → 1 τότε η έξοδος λαμβάνει τον 50% της τελικής τιμής μετά από χρόνο $\ln(2)\tau$ όπου τ η σταθερά χρόνου του βολταζαφου υψηλής για τη μετάβαση.

* Η τιμή αυτή μπορεί να χρησιμοποιηθεί σαν μια πρόχειρη προσέγγιση της πραγματικής καθυστέρησης της πύλης. Η πραγματική τιμή πρέπει να λάβει υπόψη το χρόνο που το σήμα εισόδου απαιτεί ώστε να λάβει το 50% της τελικής τιμής.

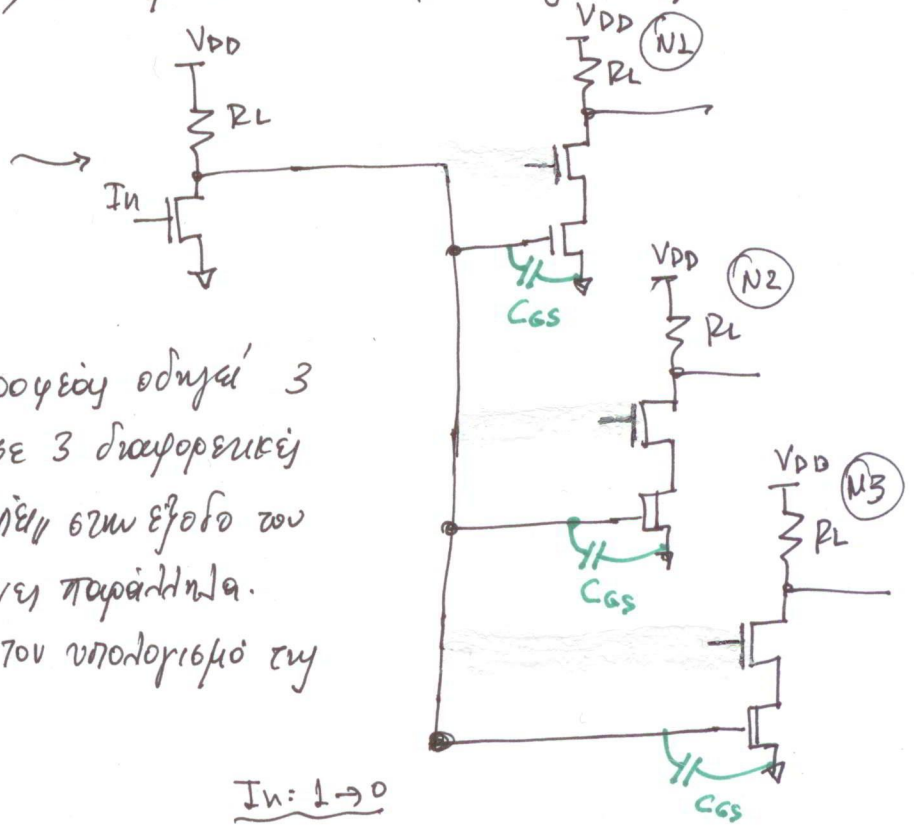
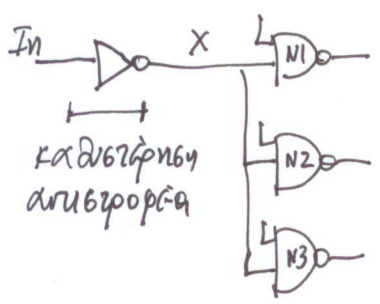
Έτσι για αυτές πύλες μπορούμε να πούμε πως σε αυτές περιπτώσεις οι καθυστερήσεις τους είναι οι εξής:

	Χρόνος ανόδου '0'→'1'	Χρόνος καθόδου '1'→'0'
INV	$\ln(2) \times R_{on} \times C_{GS}$	$\ln(2) \times (R_{on} \parallel R_L) \times C_{GS}$
NAND	$\ln(2) \times R_{on} \times C_{GS}$	$\ln(2) \times (R_{on} \parallel 2R_L) \times C_{GS}$
NOR	$\ln(2) \times R_{on} \times C_{GS}$	$\ln(2) \times (R_{on} \parallel R_L) \times C_{GS}$ ← χειρότερη περίπτωση.
NAND3 εξόδου	$\ln(2) \times R_{on} \times C_{GS}$	$\ln(2) \times (R_{on} \parallel 3R_L) \times C_{GS}$

* Οι τιμές αυτές ισχύουν μόνο όταν οι εξόδους της πύλης οδηγεί μόνο ένα τρανζίστορ μιας επόμενης πύλης χωρίς να παρεμβάλλεται ενδιάμεσα κάποιο καλώδιο το οποίο αξίζει τον κόπο να ληφθεί υπόψη.

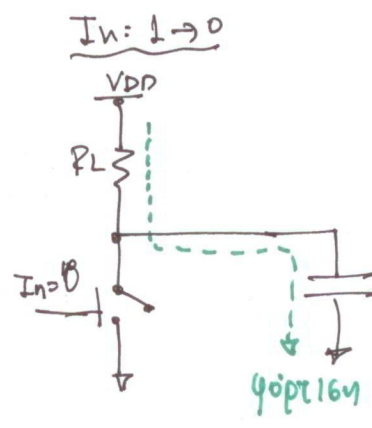
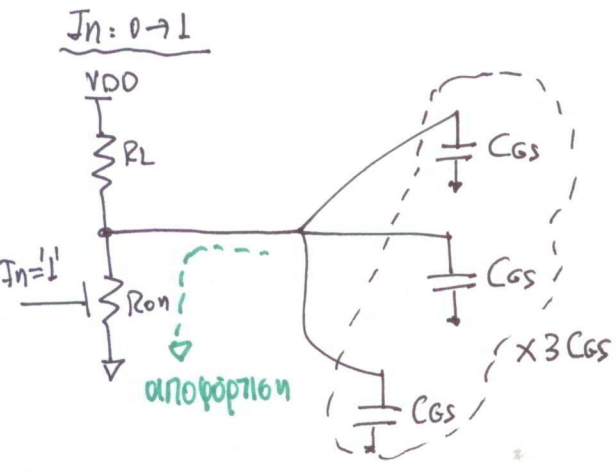
Παράδειγμα

ολοκληρώνοντας την ανάλυση για την καθυστέρηση των ηχητών θα δούμε ένα πιο ρεαλιστικό παράδειγμα, τον τρόπο που αυξήθηκαν πρακτικά.



Σ' αυτή την περίπτωση ο αυτεπαγωγός οδηγεί 3 τρανζίστορ τα οποία ανήκουν σε 3 διαφορετικές πύλες NAND. Με άλλα λόγια "βλέπουμε" στην έξοδο του 3 χωρητικότητας C_{GS} συνδεδεμένη παράλληλα.

Έτσι τα ισοδύναμα μοντέλα για τον υπολογισμό της καθυστέρησης είναι τα εξής:



* Όταν συνδέσουμε την έξοδο μιας πύλης με πολλές άλλες η καθυστέρηση μπορεί να αυξηθεί δραματικά *