

4ο βελ. αβελήσεων

- Σχεδιάστε τη CMOS πύλη που υλοποιεί τη λογική συνάρτηση  $F = \overline{(A+B)(C+D)}$
- Για μια CMOS πύλη NAND ποιος είναι ο συνδυασμός των εισόδων που προκαλεί τη χειρότερη καθυστέρηση στην έξοδο τόσο για την περίπτωση που η έξοδος κάνει μεταβολή από 1 σε 0 όσο και από 0 σε 1. Ποια είναι η κρισιμότερη αυτή αν οι εισόδους μεταβαίνουν αμοιβαίως βγύρω από το μέσο της τάσης. Θεωρήστε πως όταν τα τρανζίστορ είναι εμφανίζουν μια αντίσταση Ron ενώ η χωρητικότητα στην έξοδο της NAND είναι ίση με  $C_L$ . Θεωρήστε την καθυστέρηση όταν η έξοδος αλλάζει στο 50% της τελικής τιμής.
- Υλοποιήστε την πύλη  $F = (A+B) \cdot C$  χρησιμοποιώντας τη NMOS λογική. Ποιος συνδυασμός των εισόδων οδηγεί στην μεγαλύτερη στατική κατανάλωση ισχύος > γιατί.
- Για μια πύλη NOR υλοποιημένη με λογική NMOS υπολογίστε την βωαλική κατανάλωση ενέργειας όταν η είσοδος B είναι συνεχώς στο λογικό-0 ενώ η είσοδος A κάνει μια μεταβολή 0 → 1 ή μετά από αρκετό χρόνο πίσω στο 0. Η NOR τροφοδοτείται από μια τάση VDD ενώ όταν τα τρανζίστορ είναι εμφανίζουν αντίσταση Ron. Η χωρητικότητα εξόδου της πύλης NOR είναι ίση με  $C_L$ .