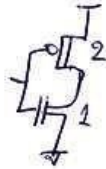


ΗΥ-121: Ηλεκτρονικά Κυκλώματα
Πύργος Διμπερακόπουλος

6^ο ΘΕΤ Θεμάτων

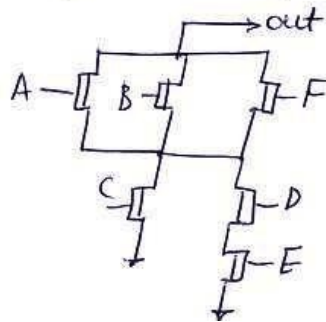
ΑΣΚΗΣΗ 1^η

Να σχεδιάσετε σε στατική CMOS την πύλη $ab+cd$. Θεωρούμε ότι τα PMOS τρανζίστορ έχουν διπλάσια αντίσταση από τα NMOS εφ' όσον τα μεγέθη των τρανζίστορ ώστε να έχουν αντίσταση ίση με των αντίστοιχα $2:1$



ΑΣΚΗΣΗ 2^η

Ποια συνάρτηση υπολογίζει το παρακάτω δίκτυο κερδών μιας λογικής πύλης

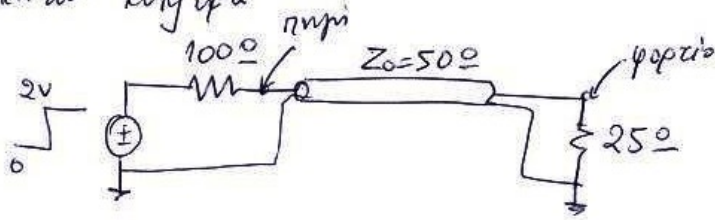


ΑΣΚΗΣΗ 3^η

Υπολογίστε την καθυστέρηση της πύλης NAND 4 εισόδων η οποία οδηγεί στην έξοδο της μια χωρητικότητα 50 fF . Όλα τα PMOS τρανζίστορς της πύλης έχουν μεγέθη $4 \mu\text{m}$ ενώ τα αντίστοιχα NMOS έχουν μεγέθη $3 \mu\text{m}$. (Απομετρήσιμα χωρίδια τους χρόνους ανόδου ή καθόδου.)
Δίνονται ότι η αντίσταση των τρανζίστορ είναι $R = 6 \cdot k \cdot \mu\text{m}$ ενώ η χωρητικότητα της πύλης ή των περιοχών διάχυσης (drain+source)
 $C_g = C_p = 2 \text{ fF}/\mu\text{m}$.

ΑΣΚΗΣΗ 4η

Δώστε το αναλυτικό διάγραμμα των ανακρίσεων ή των τάσεων
 στην πηγή ή στο φορτίο συναρτήσει του χρόνου για το
 παρακάτω κύκλωμα



ΑΣΚΗΣΗ 5η

Υπολογίστε το μέγεθος του αντιστοίχου B ώστε η καθυστέρηση από την
 είσοδο στην έξοδο να είναι η ελάχιστη δυνατή. Θεωρείστε πως η
 είσοδος και η έξοδος είναι ανοικτά ως προς το GND στο 0V.

