

Καθυστέρηση στατικών πυλών CMOS

Πρόχειρες σημειώσεις

Γιώργος Δημητρακόπουλος

Τμήμα Επιστήμης Υπολογιστών

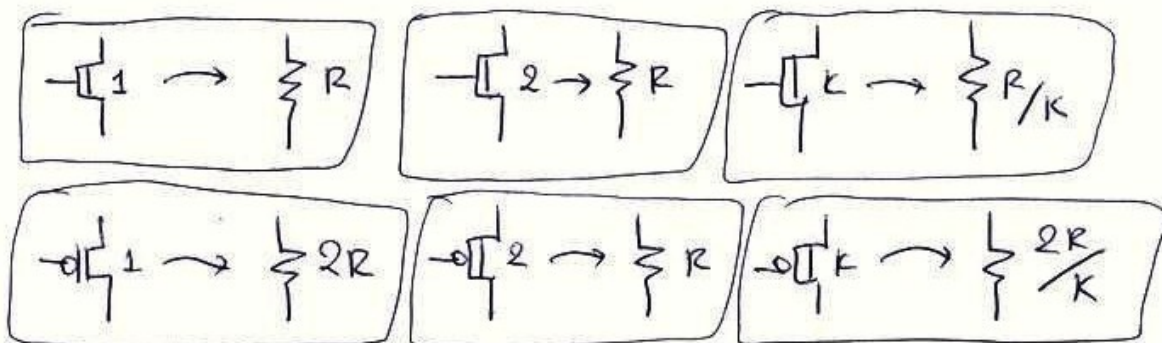
Πανεπιστήμιο Κρήτης

Άνοιξη 2008

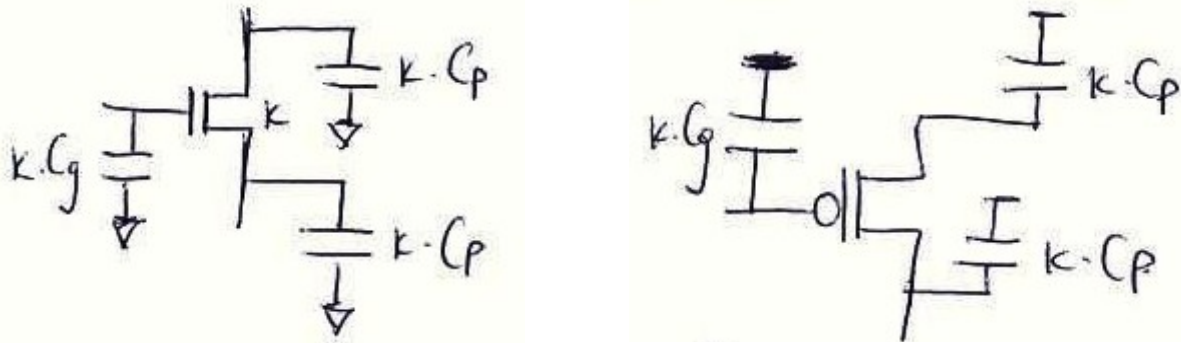
Παρόλο που οι εξισώσεις των ρευμάτων των MOS τρανζίστορ μας δίνουν πολύ ακριβείς εκτιμήσεις της καθυστέρησης μιας πύλης, η χρήση τους απαιτεί πολλές φορές μεγάλη ανάλυση η οποία δυσκολεύει τους υπολογισμούς και δεν επιτρέπει στο σχεδιαστή να έχει μια γρήγορη εκτίμηση της ταχύτητας λειτουργίας του κυκλώματος. Μόλις πολύ πρόσφατα έχουν αναπτυχθεί μέθοδοι οι οποίες επιτρέπουν τη αποτελεσματική εκτίμηση της καθυστέρησης μιας πύλης χρησιμοποιώντας μόνο μερικές τιμές των ρευμάτων που διαρρέουν τα τρανζίστορ, χωρίς να απαιτείται η πλήρης ανάλυση των κυματομορφών των εισόδων και των εξόδων. Η παρουσίαση των μεθόδων αυτών απαιτεί βαθύτερη γνώση της λειτουργίας των τρανζίστορ και ξεφεύγει από τα όρια του μαθήματος.

Στην ενότητα αυτή θα περιγράψουμε πρακτικούς τρόπους εκτίμησης της καθυστέρησης των λογικών πυλών οι οποίοι αν και δεν είναι αρκετά ακριβείς, είναι ιδιαίτερως χρήσιμοι για τη γρήγορη εκτίμηση της καθυστέρησης. Ουσιαστικά αυτό που κάνουμε είναι να μοντελοποιούμε κάθε τρανζίστορ τη στιγμή που άγει, κατά τη φάση υπολογισμού της πύλης, σαν μία αντίσταση η οποία εμφανίζεται μεταξύ του source και του drain. Επίσης, εμφανίζουμε και κάποιες από τις παρασιτικές χωρητικότητες του τρανζίστορ οι οποίες επηρεάζουν αρνητικά την καθυστέρηση των πυλών.

Αρχικά ορίζουμε το NMOS τρανζίστορ με το ελάχιστο δυνατό μέγεθος (έστω μεγέθους 1) να έχει αντίσταση R . Η αντίσταση R παίρνει στις περισσότερες των περιπτώσεων τιμές μεταξύ 10 και 13KΩ μm. Για την απλούστευση της ανάλυσης μας θεωρούμε πως όλα τα τρανζίστορ έχουν το ίδιο μήκος καναλιού L . Το μόνο μέγεθος που επιτρέπουμε να μεταβληθεί είναι το πλάτος του W του κάθε τρανζίστορ. Η αντίσταση του κάθε τρανζίστορ είναι αντιστρόφως ανάλογη του πλάτους του.

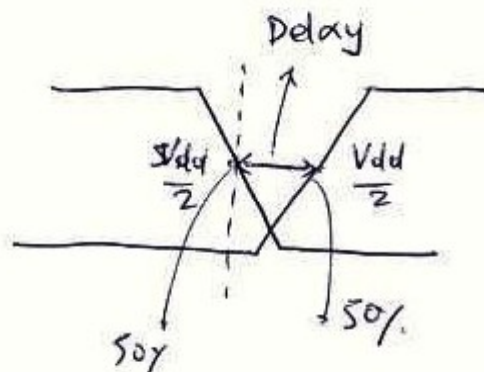


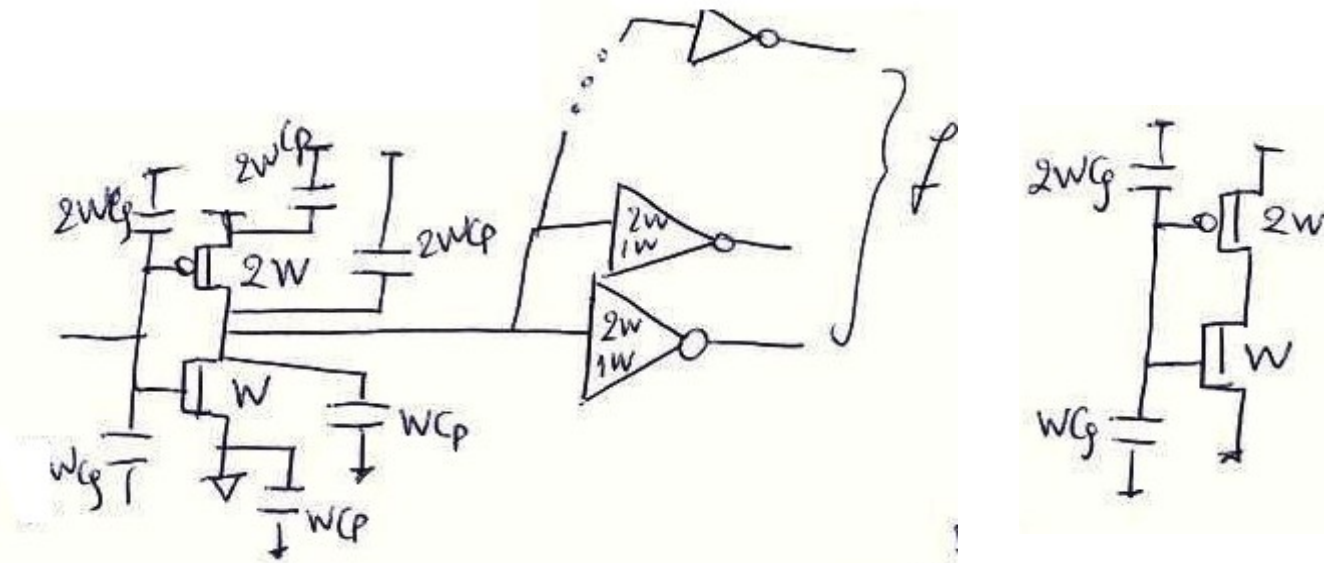
Έτσι το NMOS τρανζίστορ με μέγεθος 2 εμφανίζει αντίσταση ίση με $R/2$. Επίσης όπως μάθαμε η κινητικότητα των φορτισμένων σωματιδίων στα PMOS τρανζίστορ είναι μικρότερη από αυτή των NMOS τρανζίστορ. Έτσι τα PMOS τρανζίστορ εμφανίζουν μεγαλύτερη αντίσταση. Ο λόγος της κινητικότητας μεταξύ των NMOS και PMOS τρανζίστορ πέρνει τιμές μεταξύ 2 και 3. Επομένως, προκύπτει πως ένα PMOS τρανζίστορ μεγέθους 1 έχει αντίσταση $2R - 3R$. Στη συνέχεια, θεωρούμε πως η αντίσταση ενός PMOS τρανζίστορ είναι διπλάσια από αυτή του NMOS του ίδιου πλάτους. Επομένως, για να έχουν τα PMOS τρανζίστορ την ίδια αντίσταση με τα NMOS τρανζίστορ πρέπει να είναι διπλάσια σε μέγεθος.



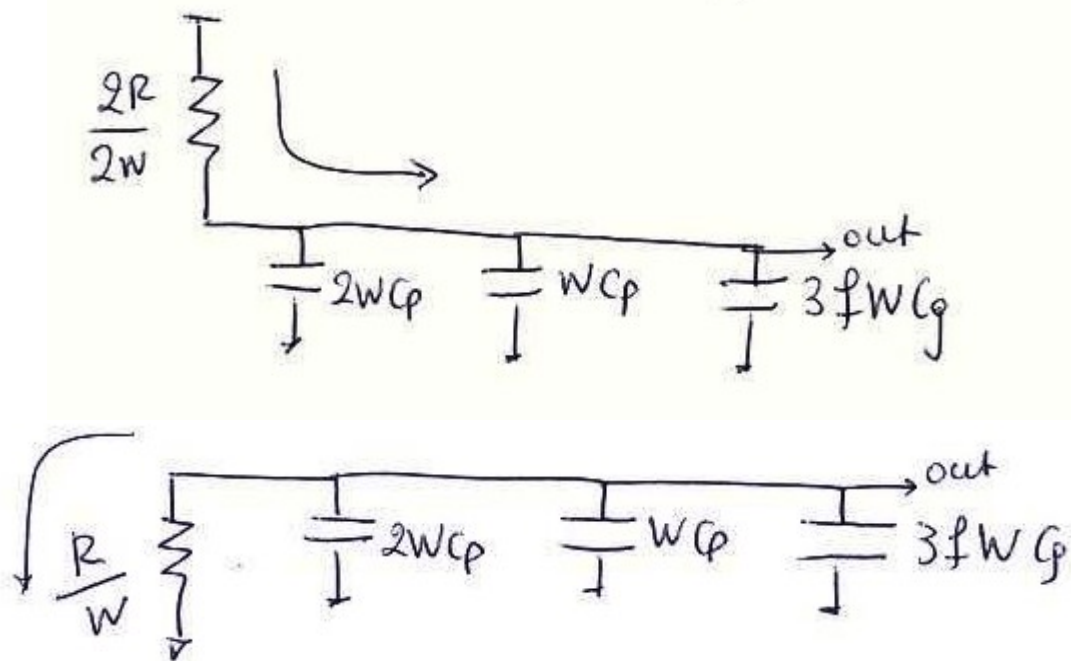
Κάθε τρανζίστορ εμφανίζει και μια χωρητικότητα μεταξύ όλων των ζευγών των ακροδεκτών του. Για την ανάλυση που κάνουμε αρκούν τρεις βασικές χωρητικότητες. Η μία εμφανίζεται στην πύλη του τρανζίστορ ενώ οι άλλες δύο αφορούν τις χωρητικότητες του source και του drain. Για ένα τρανζίστορ με μέγεθος 1 οι τιμές των χωρητικότητων είναι C_g στο gate και C_p στο source και στο drain αντίστοιχα. Συνήθως οι τιμές του C_g και του C_p είναι σχετικά κοντινές και κυμαίνονται μεταξύ 1.5 και 2 fF/μm. Στην πράξη οι τιμές της αντίστασης και της χωρητικότητας εξαρτώνται από την τιμή της τάσης τροφοδοσίας. Έτσι στην περίπτωση που η ανάλυση μας περιλαμβάνει διαφορετικές τάσεις τροφοδοσίας πρέπει να μεταβάλλουμε ανάλογα και τις τιμές των R , C_g και C_p που θα χρησιμοποιήσουμε.

Αρχικά θα δείξουμε πως μοντελοποιούμε την καθυστέρηση του απλού αντιστροφέα. Παρατηρούμε πως το PMOS τρανζίστορ του αντιστροφέα έχει διπλάσιο μέγεθος από το αντίστοιχο NMOS τρανζίστορ. Αυτό συμβαίνει ώστε τόσο το μονοπατι από το Vdd στην έξοδο όσο και από την έξοδο στο Vdd να έχουν την ίδια αντίσταση. Η καθυστέρηση διάδοσης (υπολογισμού) του αντιστροφέα, όπως και κάθε πύλης, ορίζεται ως ο χρόνος που περνάει από τη στιγμή που η είσοδος βρίσκεται στην τιμή $V_{dd}/2$ έως τη στιγμή που η έξοδος είναι στην τιμή $V_{dd}/2$. Αυτό ισχύει και για τις δύο μεταβάσεις της εισόδου (Από 0 σε Vdd και από Vdd σε 0).

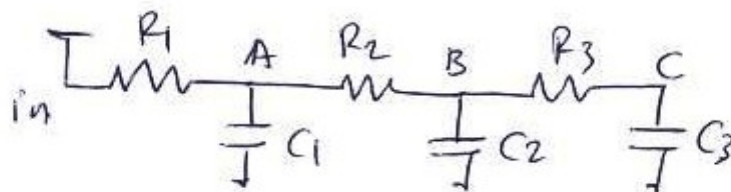




Θεωρούμε πως ο αντιστροφέας οδηγεί f αντιστροφείς του ίδιου μεγέθους. Η συνολική χωρητικότητα που εμφανίζεται στην πύλη του αντιστροφέα είναι ίση με $WC_g + 2WC_p$. Επομένως, εφόσον η έξοδος του αντιστροφέα οδηγεί άλλους f αντιστροφείς τότε η χωρητικότητα φορτίου που εμφανίζεται στην έξοδο του είναι ίση με $3WC_g \cdot f$. Αντίστοιχα εξαιτίας των παρασιτικών χωρητικότητων που εμφανίζει η καταβύθρα των δύο τρανζίστορ εμφανίζεται στην έξοδο μια πρόσθετη χωρητικότητα ίση με $WC_p + 2WC_p$. Σημειώνουμε πως οι χωρητικότητες της πηγής των δύο τρανζίστορ δε συνεισφέρουν στην καθυστέρηση διάδοσης της πύλης εφόσον τα άκρα τους βρίσκονται σε σταθερό δυναμικό ανεξάρτητα της εισόδου και της εξόδου. Έχοντας υπολογίσει τη συνεισφορά των επόμενων σταδίων (f αντιστροφείς) και των παρασιτικών χωρητικότητων του ίδιου του αντιστροφέα στην έξοδο της πύλης μπορούμε να αναλύσουμε χωριστά την καθυστέρηση ανόδου και καθόδου της εξόδου του αντιστροφέα.



Η αντίσταση του NMOS τρανζίστορ είναι ίση με R/W ενώ αντίστοιχα η αντίσταση του PMOS τρανζίστορ είναι ίση με $2R/2W = R/W$. Οι χωρητικότητες στην έξοδο της πύλης πρέπει να φορτιστούν (στην περίπτωση που η είσοδος κάνει μετάβαση από το λογικό 1 στο 0) είτε να εκφορτιστούν (όταν η είσοδος μεταβαίνει από το λογικό 0 στο 1) μέσω της αντίστασης του τρανζίστορ στην κάθε περίπτωση. Η χωρητικότητα στην είσοδο του αντιστροφέα (ακροδέκτης της πύλης του κάθε τρανζίστορ) δεν επηρεάζει την καθυστέρηση γιατί ούτε φορτίζεται ούτε αποφορτίζεται κατά τη διάρκεια της μετάβασης. Φυσικά, συμμετέχει στην καθυστέρηση του προηγούμενου σταδίου. Για τον υπολογισμό της καθυστέρησης θα χρησιμοποιήσουμε το μοντέλο του Elmore. Σύμφωνα με το μοντέλο αυτό για κάθε κόμβο υπολογίζω μια μερική καθυστέρηση η οποία είναι ίση με το άθροισμα όλων των αντιστάσεων μεταξύ του V_{dd} ή του Gnd (αρχή του μονοπατιού) πολλαπλασιασμένων με τη χωρητικότητα του κόμβου αυτού. Έτσι η συνολική καθυστέρηση είναι το άθροισμα όλων των μερικών καθυστερήσεων όλων των κόμβων που παρεμβάλλονται μεταξύ της αρχής και του τέλους. Για παράδειγμα η καθυστέρηση από το In στο B και στο C φαίνονται στο σχήμα.



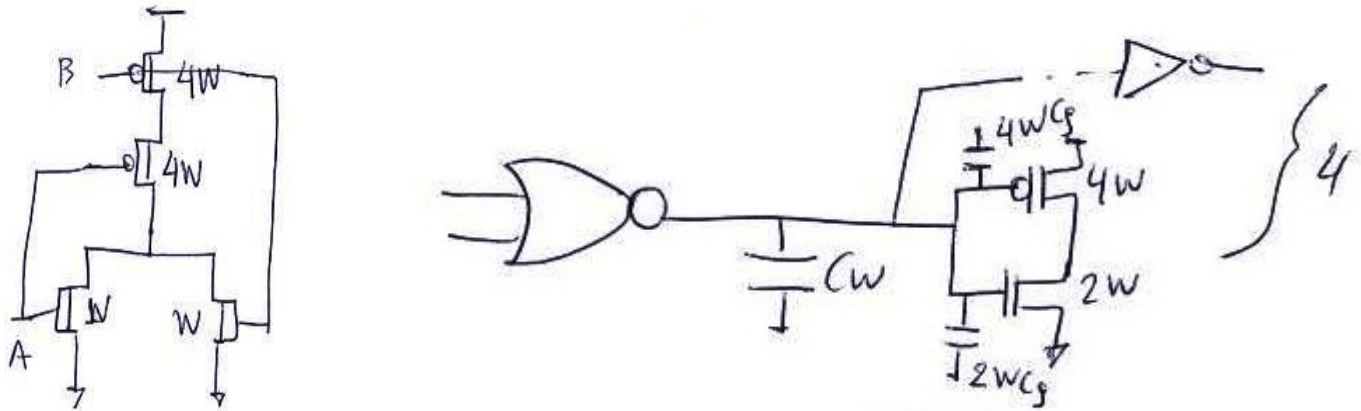
$$D_{in \rightarrow B} = R_1 C_1 + (R_1 + R_2) \cdot C_2$$

$$D_{in \rightarrow C} = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2 + R_3) \cdot C_3$$

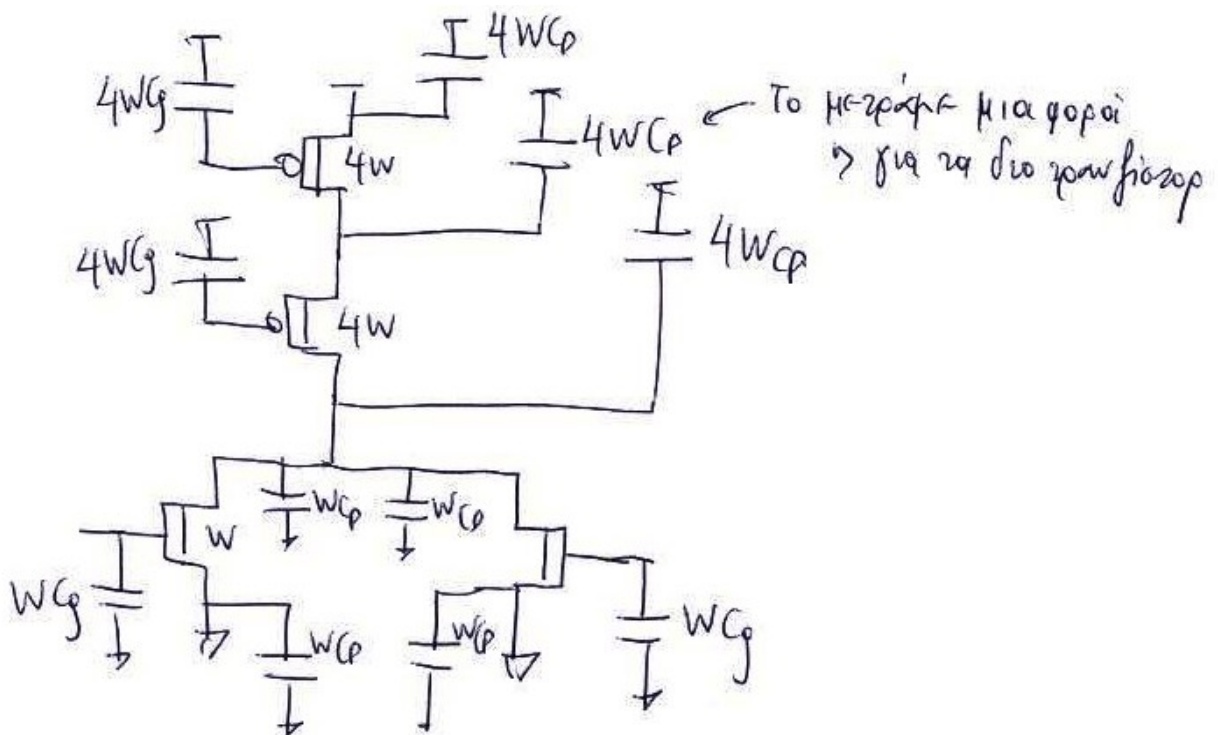
Έτσι για την καθυστέρηση ανόδου (rise delay) του κυκλώματος έχουμε

$$D_{rise} = R/W (3WC_p + 3fWC_g) = 3RC_p + 3fC_g$$

Το ίδιο ισχύει και για την καθυστέρηση καθόδου D_{fall} . Η καθυστέρηση ανόδου και καθόδου του αντιστροφέα αποτελείται από δύο μέρη. Το πρώτο $3RC_p$ περιγράφει τη συνεισφορά του ίδιου του αντιστροφέα στην καθυστέρηση μέσω των παρασιτικών χωρητικότητων. Αντίστοιχα, το δεύτερο $3fC_g$ αφορά στις πύλες (ή καλώδια) των επόμενων σταδίων που έχει να οδηγήσει η έξοδος του αντιστροφέα όταν αυτός συμμετέχει σε ένα μεγαλύτερο κύκλωμα. Παρατηρείστε ότι αν και τα τρανζίστορ του αντιστροφέα είναι W φορές μεγαλύτερα από το ελάχιστο δυνατό μέγεθος αυτό δεν εμφανίζεται στη σχέση της καθυστέρησης. Η καθυστέρηση είναι συνάρτηση μόνο της χωρητικότητας των πυλών του επόμενου σταδίου που οδηγεί ο αντιστροφέας και των παρασιτικών χωρητικότητων του. Για παράδειγμα η συνεισφορά των παρασιτικών χωρητικότητων είναι σταθερή και ίση με $3RC_p$ ανεξάρτητα από το μέγεθος του αντιστροφέα (Στην πραγματικότητα οι τιμές αυτές μεταβάλλονται σε ένα βαθμό από το μέγεθος του αντιστροφέα. Η μεταβολή αυτή επηρεάζει ελάχιστα την ανάλυση στην πράξη όπου χρησιμοποιούμε "λογικά" μεγέθη πυλών.)

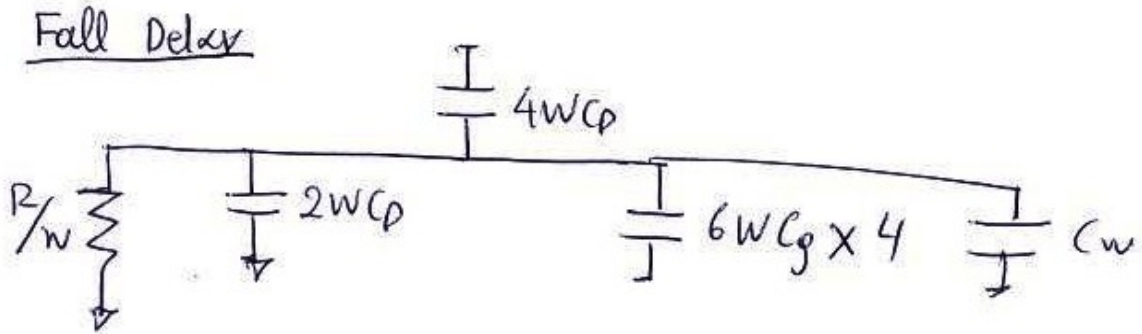


Στο δεύτερο παράδειγμα θα αναλύσουμε την καθυστέρηση μιας πύλης NOR. Στην περίπτωση αυτή θεωρούμε ότι η πύλη NOR οδηγεί 4 αντιστροφείς με μέγεθος τρανζίστορ (4W (PMOS) / 2W (NMOS)) και μια σταθερή χωρητικότητα C_w μέσω της οποίας μοντελοποιούμε τη συνεισφορά ενός καλωδίου που ενώνει την έξοδο της πύλης NOR με τους αντιστροφείς. Στο σχήμα εμφανίζονται και όλες οι χωρητικότητες των τρανζίστορ της πύλης NOR. Παρατηρείστε πως για τον ενδιάμεσο κόμβο μεταξύ των δύο PMOS σε σειρά η παρασιτική χωρητικότητα (drain του ενός τρανζίστορ και source του άλλου) υπολογίζεται μόνο μια φορά και είναι ίση με $4WC_p$. Αντίστοιχα όλες οι υπόλοιπες παρασιτικές χωρητικότητες αθροίζονται στην έξοδο.



Τα NMOS τρανζίστορ της πύλης NOR έχουν μέγεθος W και είναι τοποθετημένα παράλληλα στην έξοδο. Για να έχουμε μια μετάβαση της εξόδου από το λογικό 1 στο 0 αρκεί μία από τις 2 εισόδους να μεταβεί στο λογικό 1. Στην περίπτωση αυτή η έξοδος θα εκφορτιστεί μέσω μιας αντίστασης R/W . Όταν και οι δύο εισόδους μεταβούν στο 1 τότε και τα δύο NMOS τρανζίστορ θα άγουν οδηγώντας

στην ταχύτερη εκφόρτιση της εξόδου αφού θα προσφέρουν διπλάσιο ρεύμα (ή ισοδύναμα η έξοδος εκφορτίζεται μέσω μιας αντίστασης $(R/W) // (R/W) = R/2W$). Διαπιστώνουμε με αυτόν τον τρόπο ότι η καθυστέρηση διάδοσης των πυλών με περισσότερες από μία εισόδους η εξαρτάται από τις τιμές των σημάτων της εισόδου. Στη γενική περίπτωση εμείς αναζητούμε τη χειρότερη δυνατή καθυστέρηση η οποία προκύπτει όταν μόνο το ένα από τα δύο παράλληλα τρανζίστορ άγει.



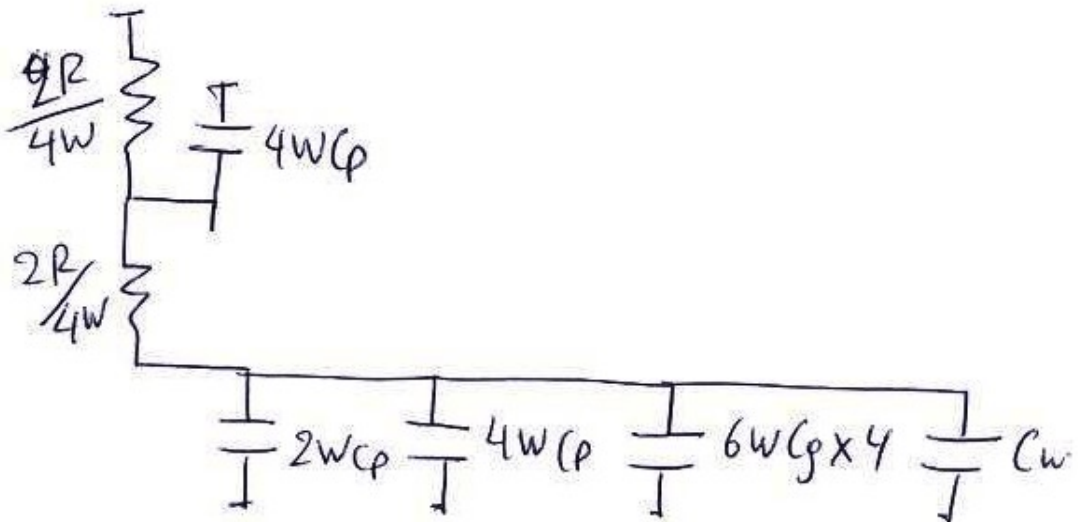
Τότε ο χρόνος καθόδου που προκύπτει είναι ίσος με

$$D_{fall} = R/W (6WC_p + 4 \times 6WC_g + C_w) = 6RC_p + 24RC_g + RC_w/W$$

Αντίθετα για να φορτιστεί η έξοδος απαιτείται και τα δύο PMOS τρανζίστορ να άγουν. Τότε η έξοδος εκφορτίζεται μέσω δύο αντιστάσεων $2R/4W$, φορτίζοντας πρώτα και τη χωρητικότητα του ενδιάμεσου κόμβου.

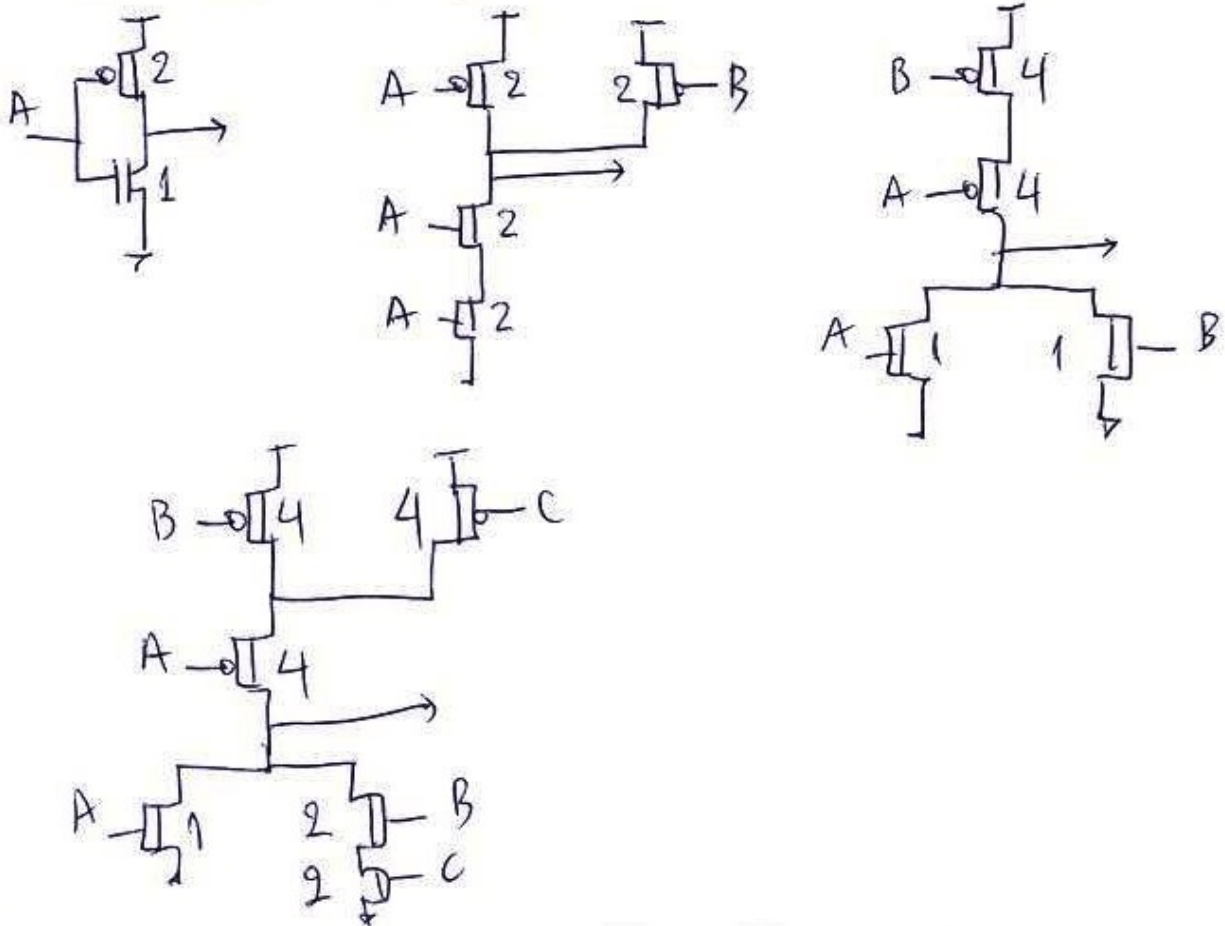
$$D_{rise} = 2R/4W \times 4WC_p + (2R/4W + 2R/4W) \times (6WC_p + 4 \times 6WC_g + C_w) = 8RC_p + 24RC_g + RC_w/W$$

Rise Delay



Αν τα 2 PMOS τρανζίστορ είχαν μέγεθος $2W$ το καθένα, τότε, εφόσον είναι σε σειρά, η συνολική αντίσταση που θα εμφάνιζαν θα ήταν ίση με $2R/2W + 2R/2W = 2R/W$ η οποία είναι διπλάσια από τη ζητούμενη R/W . Για το λόγο αυτό τα τρανζίστορ έχουν μέγεθος $4W$ ώστε να μειώσουν τη συνολική αντίσταση τους στο μισό. Σε περίπτωση που θέλουμε να κάνουμε μία από τις μεταβάσεις (είτε άνοδος είτε κάθοδος) πιο γρήγορη από την άλλη μπορούμε αυθαίρετα να επιλέξουμε το λόγο μεταξύ των NMOS και των PMOS τρανζίστορ. Εξαιτίας του ενδιαμέσου κόμβου παρόλου που το δίκτυο ανόδου και καθόδου έχει την ίδια αντίσταση η καθυστέρηση ανόδου είναι χειρότερη.

Σε γενικές γραμμές κατά το σχεδιασμό των πυλών προσπαθούμε να εξασφαλίσουμε ίσους χρόνους ανόδου και καθόδου. Έτσι για παράδειγμα, ο μικρότερος αντιστροφέας που μπορούμε να δημιουργήσουμε θα έχει μέγεθος 1 για το NMOS τρανζίστορ και 2 για το PMOS. Αντίστοιχα προκύπτουν τα ελάχιστα μεγέθη για διάφορα είδη πυλών όπως φαίνεται στο σχήμα. Βλέπουμε ότι η μικρότερη NAND πύλη που μπορούμε να έχουμε έχει μέγεθος 2 για τα PMOS τρανζίστορ. Έτσι η αντίσταση που θα εμφανιστεί στο μονοπάτι από το V_{dd} στο G_{nd} θα είναι $2R/2 = R$ που είναι και η ελάχιστη δυνατή. Αντίθετα, τα NMOS τρανζίστορ για να έχουν και αυτά αντίσταση R πρέπει να έχουν μέγεθος 2 εφόσον βρίσκονται συνδεδεμένα σε σειρά. Έτσι $R/2 + R/2 = R$.



Έχοντας ορίσει τα ελάχιστα μεγέθη των πυλών με ίσους χρόνους ανόδου και καθόδου λέμε ότι μια πύλη έχει μέγεθος k όταν τα μεγέθη όλων των τρανζίστορ της μικρότερης δυνατής εκδοχής της πολλαπλασιάζονται επί k .