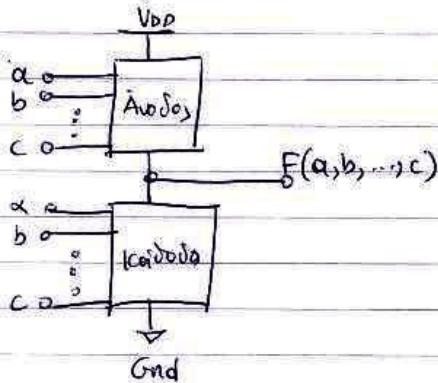


ΗΥ-121: Ηλεκτρονικά Κυκλώματα
Γιώργος Δημητρακόπουλος

Σχεδίαση Λογικών ηρώων στατικής CMOS

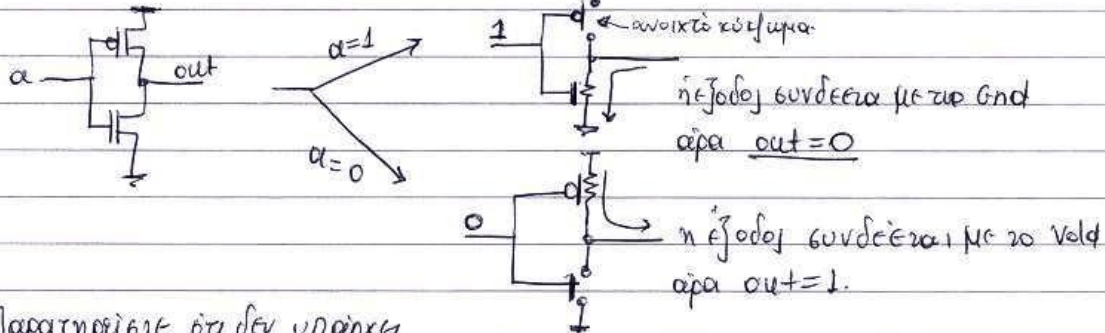
Η πιο ευρέως χρησιμοποιούμενη τεχνικώς σχεδίαση λογικών ηρώων είναι αυτή της στατικής CMOS. Τα κύρια πλεονεκτήματά της είναι η ανοχή στο θόρυβο, η καλή επίδοση της σε ταχύτητα & κατανάλωση ισχύος καθώς & η ευκολία σχεδιασμού. Οι λογικές ηρώες CMOS που θα σχεδιάσουμε καλούνται στατική γιατί κάθε χρονική στιγμή (εκτός από τη στιγμή των μεταβάσεων των εισόδων & της εξόδου) η έξοδος συνδέεται μέσω ενός μονοπατιού χαμηλής αντίστασης είτε στην προοδευτική V_{DD} οδηγώντας την έξοδο στο λογικό -1 είτε στη γήινη Gnd οδηγώντας την έξοδο στο λογικό 0.

Οι στατικές ηρώες CMOS προκύπτουν από το συνδυασμό δύο δικτύων. Το δίκτυο ανόδου & το δίκτυο κατόδου. Το δίκτυο ανόδου προσφέρει ένα μονοπάτι που συνδέει την έξοδο με το V_{DD} , ενώ το δίκτυο κατόδου παρέχει τουλάχιστον 1 μονοπάτι που συνδέει την έξοδο με το Gnd . Τα δύο δίκτυα πρέπει να σχεδιαστούν με τέτοιο τρόπο ώστε να είναι αμοιβαία αποκλειστικά. Μόνο ένα από τα δύο πρέπει να αγγίξει στην χρονική μεταβολή. Ο κανόνας αυτός δεν ισχύει ~~στο~~ κατά τη διάρκεια των μεταβάσεων των εισόδων όπου συζητούμε και τα δύο δίκτυα άνοι.



Το δίκτυο ανόδου παρασκευάζεται από PMOS τρανζίστορ ενώ το δίκτυο κατόδου αποτελείται από NMOS τρανζίστορ. Αντιμεταπηρώντας τα τρανζίστορ των διακοπών διασφαλίσει ότι τα NMOS τρανζίστορ έχουν (διακοπής κλειστά) όταν στην είσοδο τους (ημίτον των τρανζίστορ) εμφανίζεται το λογικό -1 (ήτοι V_{DD}). Σε αντίθετη περίπτωση το

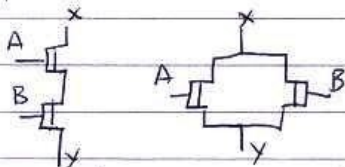
NMOS τρανζίστορ δεν αρει και λειτουργεί ως ανοικτοκύκλωμα. Η αντίθετη λειτουργία πραγματοποιείται από τα PMOS τρανζίστορ τα οποία διαρρέουν ότι έχουν όταν στην είσοδο τους εμφανιστεί το λογικό-0. Διαρρέει για παράδειγμα τον αριό αντίθερφα ο οποίος αποτελεί την πιο αηλή στατική CMOS.



Παρατηρείτε ότι δεν υπάρχει

τρόπος ώστε και το δικτω ανόδου (1 PMOS τρανζίστορ για τον αντίθερφα) και το δικτω καθόδου (το είναι NMOS τρανζίστορ) να έχουν ταυτόχρονα.

Στη συνέχεια θα δείξουμε πως μπορούμε να κατασκευάσουμε το δικτω καθόδου μιας στατικής CMOS ηώτε να χρησιμοποιήσουμε οποιαδήποτε λογική συνάρτηση. Το αντίθετο δικτω ανόδου μπορεί εύκολα να προκύψει από το δικτω καθόδου με αλλαγή με το σχηματισμό. Αρχικά κάουμε τη εξής απλή παρατήρηση. Στην περίπτωση που δύο NMOS τρανζίστορ είναι συνδεδεμένα



NMOS τρανζίστορ
6Ε 6Ε

NMOS τρανζίστορ
Παράλληλα

6Ε 6Ερα το ήτ για να αχί αυτό ο κείδος πρέπει να το Α αφα να το Β να έδα με λογικό 1. Σε οποιαδήποτε αηή περίπτωση λοιπό από τα δύο NMOS τρανζίστορ δεν αχί με αποτέλεσμα ο κείδος να μην διαρρέει από ποτέ. Με άλλα λόγια η 6Ε 6Ερα συνδέει ένα NMOS τρανζίστορ ισοδύνα με την λογική πράξη AND. Αντίθετα, όταν δύο NMOS τρανζίστορ είναι συνδεδεμένα παράλληλα αρκεί ένα από τα δύο αει αχί ώστε να υπάρχει μονοπάτι που να συνδέει τους κόμβους X και Y. Έτσι, η παράλληλη σύνδεση των NMOS τρανζίστορ ισοδυναμεί με την λογική πράξη OR.

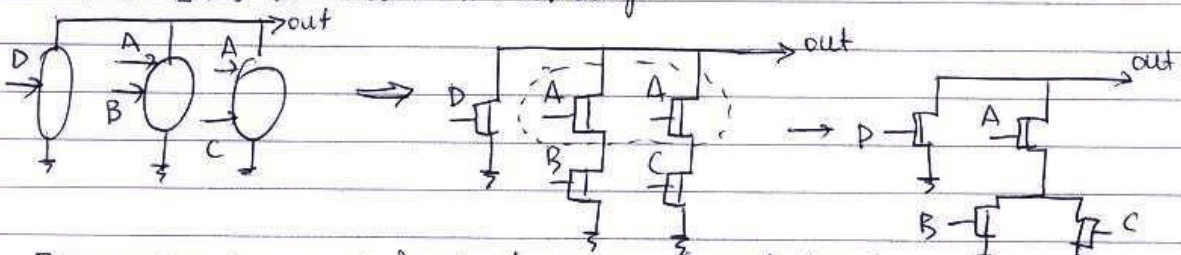
με την λογική πράξη AND. Αντίθετα, όταν δύο NMOS τρανζίστορ είναι συνδεδεμένα παράλληλα αρκεί ένα από τα δύο αει αχί ώστε να υπάρχει μονοπάτι που να συνδέει τους κόμβους X και Y. Έτσι, η παράλληλη σύνδεση των NMOS τρανζίστορ ισοδυναμεί με την λογική πράξη OR.

Παράδειγμα

Σχεδιάστε την λογική πύλη CMOS που υπολογίζει τη συνάρτηση $D + AB + AC$

Για το δίκτυο καθόδου

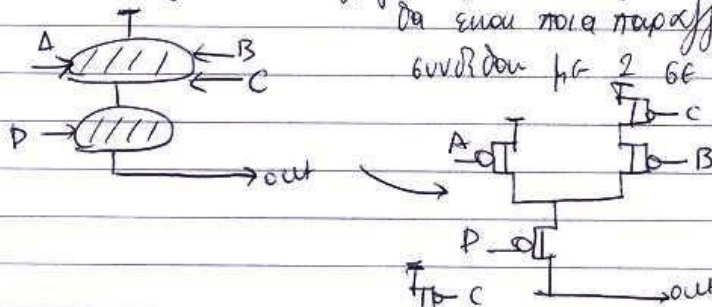
Έχουμε 3 όρους γινομένου D, AB, AC άρα το δίκτυο θα αποτελείται από 3 κλάδους. Ο καθέ ένας από αυτούς θα έχει δύο τρανζίστορ βε ή βερά αβεί
 ↳ στο πλάνο των εισόδων που τον οδηγούν



Παρατηρούμε πως η είσοδος A είναι κοινή στους κλάδους 2 & 3. Επομένως θα μπορούσε να μοιραστεί η από τους δύο κλάδους χύμα να αφαιρεθεί η λειτουργία. Η ένωση αυτή ισοδυναμεί με την παραγοντοποίηση του $AB + AC$ σε $A(B + C)$.

Για το δίκτυο ανόδου

Παίρνουμε την αντίθετη έκδοσή του δικτύου καθόδου ή την "αντισυνάρτηση". Οι ~~πύλες~~ δύο αρχικοί κλάδοι εν παραφίση θα γίνουν βε βερά. Το A που βε βερά με τα B & C θα είναι ποια παραφίση β' αρα, ενώ τα B & C θα συνδέδου με 2 βε βερά PMOS τρανζίσ



Ετσι συνολικά

