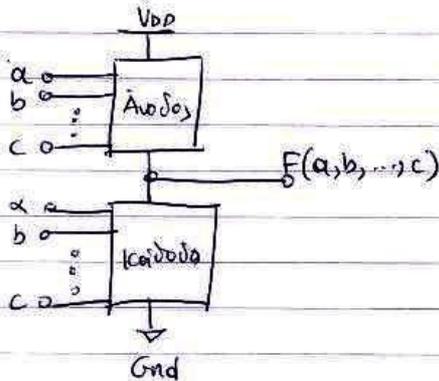


ΗΥ-121: Ηλεκτρονικά Κυκλώματα
Γιώργος Δημητράκοπουλος

Σχεδίαση Λογικών ηρώων στατικής CMOS

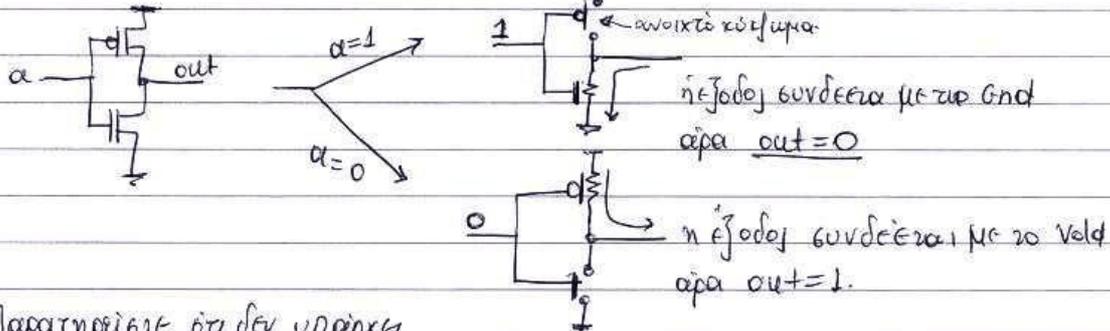
Η πιο ευρέως χρησιμοποιούμενη τεχνικώς σχεδίαση λογικών ηρώων είναι αυτή της στατικής CMOS. Τα κύρια πλεονεκτήματά της είναι η ανοχή στο θόρυβο, η καλή επίδοση της σε ταχύτητα & κατανάλωση ισχύος καθώς & η ευκολία σχεδιασμού. Οι λογικές ηρώες CMOS που θα σχεδιάσουμε καλούνται στατική γιατί κάθε χρονική στιγμή (εκτός από τη στιγμή των μεταβάσεων των εισόδων & της εξόδου) η έξοδος συνδέεται μέσω ενός μονοπατιού χαμηλής αντίστασης είτε στην προοδευτική V_{DD} οδηγώντας την έξοδο στο λογικό -1 είτε στη γήινη Gnd οδηγώντας την έξοδο στο λογικό 0.

Οι στατικές ηρώες CMOS προκύπτουν από το συνδυασμό δύο δικτύων. Το δίκτυο ανόδου & το δίκτυο κατώδου. Το δίκτυο ανόδου προσφέρει ένα μονοπάτι που συνδέει την έξοδο με το V_{DD} , ενώ το δίκτυο κατώδου παρέχει τουλάχιστον 1 μονοπάτι που συνδέει την έξοδο με το Gnd . Τα δύο δίκτυα πρέπει να σχεδιαστούν με τέτοιο τρόπο ώστε να είναι αμοιβαία αποκλειστικά. Μόνο ένα από τα δύο πρέπει να αγγίξει στην χρονική μεταβολή. Ο κανόνας αυτός δεν ισχύει ~~στο~~ κατά τη διάρκεια των μεταβάσεων των εισόδου όπου συζητούσαμε και τα δύο δίκτυα άνοιγαν.



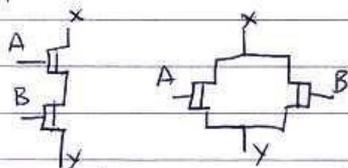
Το δίκτυο ανόδου κατασκευάζεται από PMOS τρανζίστορ ενώ το δίκτυο κατώδου αποτελείται από NMOS τρανζίστορ. Αντιμεταπηρώντας τα τρανζίστορ των διακοπών θα μπορούσε ότι τα NMOS τρανζίστορ έχουν (διακοπτή κλειστά) όταν στην είσοδο τους (πύλη των τρανζίστορ) εμφανίζεται το λογικό -1 (ήτοι V_{DD}). Σε αντίθετη περίπτωση το

NMOS τρανζίστορ δεν αρει και λειτουργεί ως ανοικτοκύκλωμα. Η συνδυαστική λειτουργία πραγματοποιείται από τα PMOS τρανζίστορ τα οποία διακρούμε ότι έχουν όταν στην είσοδο τους εμφανιστεί το λογικό 0. Διακρούμε για παράδειγμα τον αριστό αντιδιαρρέα ο οποίος αποτελεί την πιο απλή στατική CMOS.



Παρατηρείστε ότι δεν υπάρχει τρόπος ώστε και το δικτύω ανόδου (1 PMOS τρανζίστορ για τον αντιδιαρρέα) και το δικτύω καθόδου (το είναι NMOS τρανζίστορ) να έχουν ταυτόχρονα.

Στη συνέχεια θα δείξουμε πως μπορούμε να κατασκευάσουμε το δικτύω καθόδου μιας στατικής CMOS η οποία ώστε να χρησιμοποιηθεί για οποιαδήποτε λογική συνάρτηση. Το αντίστοιχο δικτύω ανόδου μπορεί εύκολα να προκύψει από το δικτύω καθόδου με αλλαγή με το σχηματισμός. Αρχικά κάθουμε τη εξής απλή παρατήρηση. Στην περίπτωση που δύο NMOS τρανζίστορ είναι συνδεδεμένα



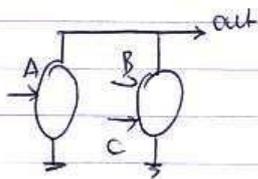
NMOS τρανζίστορ
 σε σειρά

NMOS τρανζίστορ
 παράλληλα

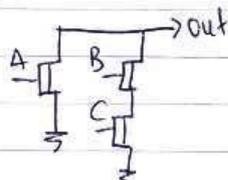
σε σειρά τότε για να αχθεί αυτό ο κλάδος πρέπει να το A αλλιώς να το B να αχθεί με λογικό 1. Σε οποιαδήποτε άλλη περίπτωση λοιπόν από τα δύο NMOS τρανζίστορ δεν αχθεί με αποτέλεσμα ο κλάδος να μην διαρρέσει από ποτέ. Με άλλα λόγια η σε σειρά συνδέση δύο NMOS τρανζίστορ ισοδυναμεί με την λογική πράξη AND. Αντίστοιχα, όταν δύο NMOS τρανζίστορ είναι συνδεδεμένα παράλληλα αρκεί ένα από τα δύο αχθεί ώστε να υπάρχει μονοπάτι που να συνδέει τους κόμβους X και Y. Έτσι, η παράλληλη συνδέση των NMOS τρανζίστορ ισοδυναμεί με την λογική πράξη OR.

με την λογική πράξη AND. Αντίστοιχα, όταν δύο NMOS τρανζίστορ είναι συνδεδεμένα παράλληλα αρκεί ένα από τα δύο αχθεί ώστε να υπάρχει μονοπάτι που να συνδέει τους κόμβους X και Y. Έτσι, η παράλληλη συνδέση των NMOS τρανζίστορ ισοδυναμεί με την λογική πράξη OR.

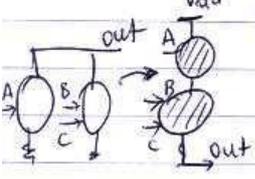
Πριν ξεκινήσουμε την περιγραφή της διαδικασίας σχεδίασης του δικτύου κώδου για μια οποιαδήποτε λογική συνάρτηση πρέπει να τοβίβουμε πως οι βλαττεγ ρώβς σμδς υπολοβφων μόνδ οωτιεραφκί (νσ) βυαφίβες, π.κ. $A \cdot B$, $A+B$, $A+B \cdot C$. Θα δέβουμε τη μέθοδ μέεα από το παραδύτκ της βυαφίβης $A+B \cdot C$. Αφνόμε πρού το πρού των αυτεβραφί ή οποία προκώηη ούως ή αφως από τη δοβή των σμδς ποβμ ή άβχοβίραβε με τη βυαφίβη $A+B \cdot C$. Ξεμ γάνικη περίπτωση το δέκτω κώδου οωτρεβέρε από τόβου κβίδου όβα ή τα γρωβρα που βυαδένου με τη βυαφίβη όε για το παραδύτκ μάλ έβουε δώ γρωβρα το A ή το $B \cdot C$. Απο βάνελα



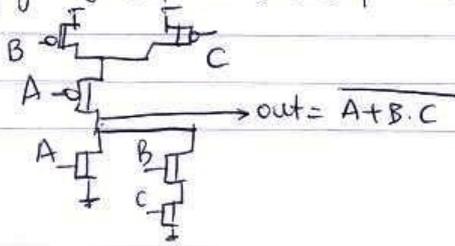
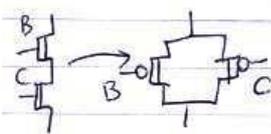
έκπρωκκα βνο δέβρω όβήμα με δέδα όορα όρόδου οι όροι A ή $B \cdot C$ ενωίβου με μια γραβή όκ πρέπει να έβα βυαδένου παράλληλα. Αφνύ έβουε αποβραβερε το πηδου των παράλληλων υβίδων μετδ άβχοβίραβε με τον κάδε κβίδε χωρίβρα. Ο κβίδε που δέβου ως έβουδ το A αποβραβερε από 1 μόνδ ΝΜδς τραβίβου. Αντίβρωκα, ο κβίδε που δέβουε βαν έβουδ το $B \cdot C$ αποβραβερε από 2 τραβίβου ΝΜδς βτη βερα. Η όε βερα βυαδένε χρείβουω ωβρε να υ/ποβίβει η όκβη $A \cdot B \cdot C$ που βυαδένε τα B ή C .



Όρόδου όβόκπρωβρε τη σχεδίαση του δικτύου κώδου θα δέβουμε πως έβουε μπόρουμε να πεβώουμε τη σχεδίαση του δικτύου αώδου. Απο που πρέπει να φρωβέβουμε έβα όν οποία τραβίβου έβα βνο δέκτω κώδου βυαδένου βε βερα πρέπει να εμραβίβουε παράλληλα βνο δέκτω αώδου έβα αωδένε τα παράλληλα βυαδένου τραβίβου του δικτύου κώδου πρέπει να βυαδένου βε βερα βνο δέκτω αώδου. Πέω βνο παραδύτκ βε, για να βκεδένε



με το δέκτω αώδου πρέπει όα A ή $B \cdot C$ κβίδε που έβα παρκβίβη βνο δέκτω κώδου να βρεδου βε βερα έβα αωδένε τα B ή C που έβα βε βερα βαν δώτερο κβίδε να βυαδένου παρκβίβη. όβόκπρωβουε της μέρα βυαφίβη όβου προκώη η έβη πυβμ

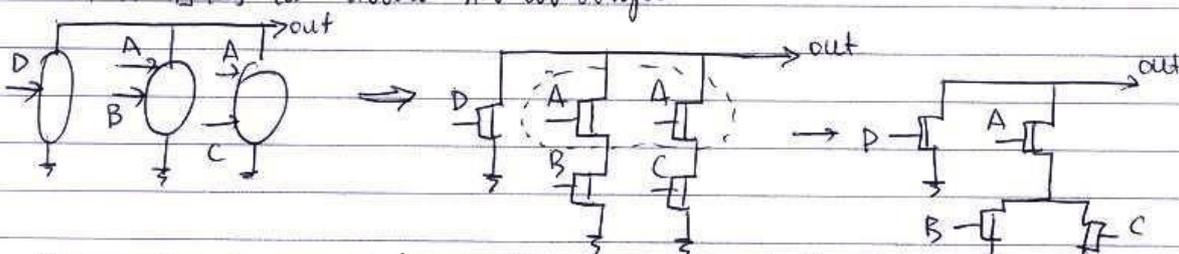


Παράδειγμα

Σχεδιάστε την λογική πύλη CMOS που υπολογίζει τη συνάρτηση $D + AB + AC$

Για το δίκτυο καθόδου

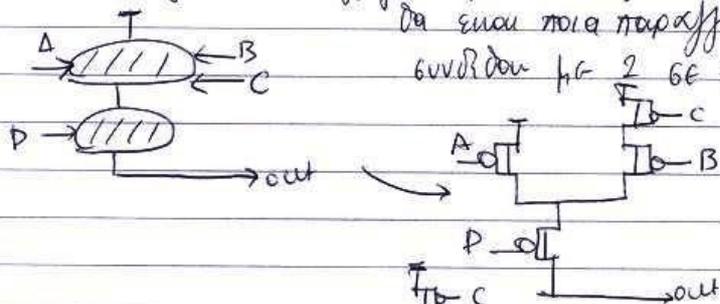
Έχουμε 3 όρους γινομένου D, AB, AC άρα το δίκτυο θα αποτελείται από 3 κλάδους. Ο καθέ ένας από αυτούς θα έχει δύο τρανζίστορ βε ή βερά σε σειρά \rightarrow σε πύλη των εισόδων που τον οδηγούν



Παρατηρούμε πως η είσοδος A είναι κοινή στους κλάδους 2 & 3. Επομένως θα μπορούσε να μοιραστεί η από τους δύο κλάδους χύμα να αφαιρεθεί η λειτουργία. Η ένωση αυτή ισοδυναμεί με την παραγοντοποίηση του $AB + AC$ σε $A(B + C)$.

Για το δίκτυο ανόδου

Παίρνουμε την αντίθετη έκδοσή του δικτύου καθόδου ή την "αντιστροφή". Οι ~~πύλες~~ δύο αρχικοί κλάδοι εν παραλληλία θα γίνουν σε σειρά. Το A που σε σειρά με τα B & C θα είναι πολλαπλασιασμός β'αυτού, ενώ τα B & C θα συνδέονται με 2 σε σειρά PMOS τρανζίστρω



Ετσι συνολικά

